



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2000306510 A

(43) Date of publication of application: 02.11.00

(51) Int. Cl H01J 9/24  
H01J 5/03  
H01J 29/87  
H01J 31/12

(21) Application number: 2000037454

(22) Date of filing: 16.02.00

(30) Priority: 17.02.99 - IP 11037858

(71) Applicant: CANON INC

(72) Inventor: ITO YASUHIRO

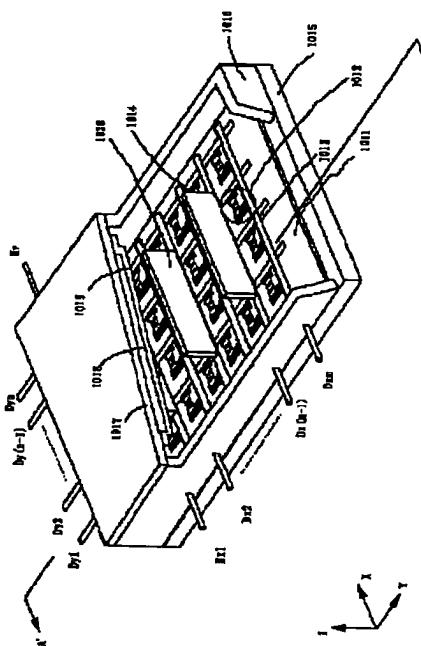
(54) METHOD FOR FABRICATING ELECTRON BEAM DEVICE AND SPACER AND ELECTRON BEAM DEVICE

(57) Abstract:

**PROBLEM TO BE SOLVED:** To suitably form a film on a spacer housed inside an air-tight container in a electron beam device.

**SOLUTION:** A method for fabricating an electron beam device having an air-tight container including therein an electron emitting element 1012 and a spacer 102 housed inside the air-tight container, comprises a applying step of forming a film on a spacer substrat serving as the spacer 1020, wherein the applying ste includes a step of discharging a liquid film material from a discharging portion in a predetermined directio so as to apply the material to part of the surfac facing the discharging portion of the space substrate

COPYRIGHT: (C)2000,JPO







タコーン301-2の先端部より電界放出を起こせるものである。

[0009]また、FE型の他の素子構成として、図27のような樹脂構造ではなく基板上に基板平面とほぼ平行にエミッタとデータ電極を配置した例もある。

[0010]また、MIM型の例としては、たとえば、C. A. Mead "Operation of tunnel-emission Devices, J. Appl. Phys., 32, 646 (1961)" などが知られている。MIM型の素子構成の典型的な例を図28に示す。同図は断面図であり、図において、3020は基板で、3021は金属となる下電極、3022は厚さ100 Å程度の薄い絶縁層、3023は厚さ80~300 Å程度の金属となり上電極である。MIM型においては、上電極3023と下電極3021の間に適度の電圧を印加することにより、上電極3023の表面より電子放出を起こさせるものである。

[0011]上述の冷陰極素子は、熱陰極素子と比較して低温で電子放出を得ることができるため、加热用ヒーターを必要としない。したがって、熱陰極素子よりも構造が単純であり、微細な素子を作成可能である。また、基板上に多数の素子を高い密度で配置しても、基板の熱潜熱などの問題が発生しにくい。また、熱陰極素子がヒーターの加熱により動作するため応答速度が遅いとの差異なり、冷陰極素子の場合には応答速度が速いという利点もある。このため、冷陰極素子を応用するための研究が盛んに行われてきている。

[0012]たとえば、表面伝導型放出来素子は、冷陰極素子のなかでも特に構造が単純で製造も容易であることから、大面积にわたり多数の素子を形成できる利点がある。そこで、たとえば本出願人による特開昭64-31332号公報において開示されるように、多数の素子を配列して駆動するための方法が研究されている。

[0013]また、表面伝導型放出来素子の応用については、たとえば、画像表示装置、画像記録装置などの画像形成装置や、荷電ビーム管、等が研究されている。特に、画像表示装置への応用としては、たとえば本出願人によるU.S.P. 4,666,838や特開平2-257551号公報や特開平4-1779号公報において開示されているように、表面伝導型放出来素子と電子ビームの照射により発光する蛍光体と組み合わせて用いた画像表示装置が研究されている。表面伝導型放出来素子と蛍光体とを組み合わせて用いた画像表示装置は、従来の他の方式の画像表示装置よりも優れた特性が期待されている。たとえば、近年普及してきた液晶表示装置と比較しても、自发光型であるためバックライトを必要としない点や、視野角が広い点が優れていると言える。

[0014]また、FE型を多數個ならべて駆動する方法は、たとえば本出願人によるU.S.P. 4,904,895に開示されている。また、FE型を画像表示装置に応

用した例として、たとえば、R. Meyer らにより報告された平板型表示装置が知られている [R. Meyer et al., "Recent Development on Microtips Display at LETI", Tech. Digest of 4th International Vacuum Microelectronics Conference, Nagahama, pp. 6~9 (1991)]。

[0015] また、MIM型を多個個並べて画像表示装置に応用した例は、たとえば本出願人による特開平3-55738号公報に開示されている。

[0016] 上記のような電子放出素子を用いた画像形成装置のうち、奥行きの薄い平面型表示装置は省スペースかつ軽量であることから、プラウン管型の表示装置に取替るものとして注目されている。

[0017] 図2-9は平面型の画像表示装置をなす表示パネル部の一例を切り欠いて示している。

[0018] 図中、3-115はリードアート、3-116は側壁、3-117はフェースプレートであり、リアプレート3-115、側壁3-116およびフェースプレート3-117により、表示パネルの内部を真空中維持するための外殻器(電密容器)を形成している。リアプレート3-115には基板3-1-1が固定されているが、この基板3-1-1上には冷陰極素子3-1-2は、図2-9に示すとおり、m本の行方向配線3-1-3とn本の列方向配線3-1-4により配線されている。これら基板3-1-1、冷陰極素子3-1-2、行方向配線3-1-3および列方向配線3-1-4によって構成される部分をマルチ電子ビーム源と呼ぶ。また、行方向配線3-1-3と列方向配線3-1-4の光束からなる蛍光膜3-1-8が形成されており、赤(R)、緑(G)、青(B)の3原色の蛍光体(不図示)が盛り分けられている。また、蛍光膜3-1-8をなす上記各色蛍光体の間に黒色体(不図示)が設けてある、さらに蛍光膜3-1-8のリアプレート3-1-1側の面には、A1等からなるメタルバック3-1-9が形成されている。

[0020] Dx1~DxmおよびDy1~DynおよびHhvは、当該表示パネルと不図示の電気回路とを電気的に接続するために設けた電気構造の電気接続用端子である。Dx1~Dxmはマルチ電子ビーム源の行方向配線3-1-1と、Dy1~Dynはマルチ電子ビーム源の列方向配線3-1-1と、Hhvはメタルバック3-1-9と

[0.02.1] また、上記密閉容器の内部は $1.0 \times 10^{-4}$ Pa 程度の真空中に保持されており、画像表示装置の表示面面積が大きくなるにしたがい、気密容器内部と外部の気圧差が大きくなる。アフレート 3-1-1-5 およびフェースアフレート 3-1-7 の形状あるいは破壊を防止する手段が必要となる。アフレート 3-1-1-5 よりもフェースアフレート 3-1-1-6 を厚くすることによる方法は、画像表示装置の加圧を増加させるのみならず、斜め方向から見たときに画像のゆがみや複数像を生ずる。これに対し、図 2-9においては、比較的薄いガラス板からなり大気圧を支えるための構造支持体（スペーサあるいはアフレット）と呼ばれる 3-1-2-0 が設けられている。このようにして、マルチビーム電子源が形成された基板 3-1-1-1 と蛍光膜 3-1-1-8 が形成されたフェースアフレート 3-1-1-7 間は通常サブミリないしミリに保たれ、前述したように気密容器内部は高真空中に保持されている。

[0.02.2] 以上説明した表示パネルを用いた画像表示装置は、容器外端子 Dx-1 ないし Dx-m, Dy-1 ないし Dy-n を通じて各陰極電子素子 3-1-1-2 に電圧を印加するなど、各陰極電子素子 3-1-1-2 から電子が放出される。同時にメタルハッジ 3-1-1-9 に容器外端子 Dy を通じて数 dozen [kV] ないし数 [kV] の高圧を印加して、上記放出された電子を加速し、フェースアフレート 3-1-1-7 内面に衝撃させることにより、蛍光膜 3-1-1-8 をなす各色の蛍光体が励起されて発光し、画像が表示される。

[0.02.3] 「発明が解決しようとする課題」 上記画像表示装置等の電子線装置の気密容器内に設ける、スペーサなどの微小部材に膜を形成する好適な手法を実現することを本願に係る発明は課題とする。

[0.02.4] 【課題を解決するための手段】 上記の課題を解決すべく成された本願に開拓する電子線装置の製造方法の発明の一については以下の通りである。

[0.02.5] 内部に電子放出素子を含む気密容器と、該気密容器内に設けられるスペーサーとを有する電子線装置の製造方法であって、前記スペーサーとなるスペーサー基板部材に膜を設ける被膜工程を有しており、該被膜工程は、被膜状の膜材料を放出部から所定の方向に放出して前記スペーサー基板の前記放出部に面する面のうちの一部に付与する付与工程を含むことを特徴とする電子線装置の製造方法。

[0.02.6] ここで、前記スペーサーが前記気密容器の形態を維持するものである場合に本願発明は好適に採用し得る。特に、前記気密容器の内部の圧力が外部の圧力に対する低い場合、内部と外部の圧差による力が気密容器に作用する気密容器の変形を抑制するものであると良い。又、密閉容器が対向する平板状部材(更に具体的には以下に示す)の形状を削除するよりうなぎ子(ウナギ子)を有する直角部材。

半光体を有する基板)から構成されている電子機器装置においては、本願発明は特に有効である。また、気密容器内の減圧空間における前記スペーサが維持しようとする維持サイズ(スペーサの高さ、例えば前記対向する平板状部材の間隔)が、前記気密容器内の減圧空間の前記維持サイズと直交する方向の主要サイズ(例えば前記維持サイズの方向から減圧空間を見た時に減圧空間が方形である場合はその方形の対角サイズ)の30分の1以下である場合に上記発明は特に有効である。

【0027】上記発明においては、液状の膜材料を所定の方向に放出するので、膜材料を有効に用いることができる。また、液状の膜材料を所定の方向に放出するので、放出部に面する面のうちの一部に膜材料を付与することができる。特に上記発明は、微小領域に膜材料を付与する構成において有効である。

【0028】また、上記発明において、前記放出部と前記スペーサ基板の相対位置を変更する移動工程を有していてもよい。この移動工程を行いながら前記付与工程を連続して行つても良く、また移動工程を終了した後前記付与工程を行い、付与工程を終了した後前記移動工程を行うといったように、移動工程と付与工程を別々に行つても良い。移動工程を行ふことにより、所望の領域に膜材料を付与することができる。また、広い範囲に膜材料を付与する場合の付与よりも、最終的に得ようとする膜材料付与面積よりも小さい面積に膜材料を付与することにより低減できる。

【0029】また、上記各発明において、前記付与工程は、一つの前記放出部から一端の前記液状の膜材料を放出する工程を有するのが特徴に併適である。噴霧法のように一つの放出部から同時に複数の液状の膜材料を放出する場合、該同時に放出される複数の液状の膜材料の放出方向を制御する課題が発生するが、一つの放出部から同時に複数の液状が放出されない構造を採用することにより液状の膜材料の放出方向の制御が容易になる。噴霧法を用いる場合は、後述するように、液状の膜材料を所定の方向に放出して放出部に面する面の一部に付与するためには噴霧された液状の膜材料の飛翔方向を制限する手段を設けると良い。

【0030】また、前記付与工程は、放出前の液状の膜材料に気泡を発生させて前記放出部から前記液状の膜材料を放出する工程である。前記気泡は熱エネルギーの付与により発生させることができる。具体的にはノズル内で被体を加熱することにより発生する気泡を用いることができる。この方式はバブルジェット方式として知られている。また、前記付与工程は、圧電素子によって前記放出部から前記液状の膜材料を放出する工程であつてもよい。

【0031】また、前述したように、前記付与工程は、





ンク機能を有しているが、パーニングを別途行う必要はないが、配線との短絡や低抵抗膜の基板エッジ付近における起火形状が放電要因になる場合など、必要に応じて、部分的に低抵抗膜が形成されていない部材作成も有効である。この具体的な手としては、特に下記に限定されないが、低抵抗膜に対応したエッチングプロセス、レーザークリアによる除去、またはフォトリソグラフ、フィードまたはリフトオフプロセスによるバーニング形成、マスクによる墨工液部分展開等を適用する事ができる。

[0079] また、前記吐出法による低抵抗膜を設けたスベーサにさらに高抵抗膜を付与することにより、スベーサ表面の帶電を抑え、結果として、発光点のずれの無い良好な画像が得られる。より好ましくは、高抵抗膜の表面抵抗値が、 $1.0 \times 10^{-10} \Omega / \square$ ～ $1.0 \times 10^{-9} \Omega / \square$ の表面抵抗値を有することで、帶電と上下基板間に電流消費および発熱を抑えることが可能となる。また、低抵抗膜の抵抗値は、上下基板との電気的接合を良好にする目的から、その表面抵抗値として前記高抵抗膜の抵抗値の $1/10$ 以下であり、かつ $1.0 \times 10^{-10} \Omega / \square$ 以下である事が望ましい。

[0080] また、本発明に適用する電子放出素子は、冷陰極素子が折り畳み、なかでも電極間に電子放出部を含む導電性膜を有する電子放出素子のような表面伝導型電子放出素子は、端面が簡単でかつ高剛性が得られることからより好ましい。

[0081] また、前記FPを、入力信号に応じて前記電子放出素子から放出された電子の照射により画像を形成する画像表示装置を有するものとの構成により、本発明の電子線装置を表示装置等の画像形成装置として、電子放出素子から成ることにより安価に動画像を記録表示できる。

[0082] (画像表示装置概要) 次に、本発明を適用した画像表示装置の構成と製造法について、具体的な例を示して説明する。

[0083] 図9は、実施例に用いた表示パネルの概観図であり、内部構造を示すためにパネルの一部を切り欠いて示している。

[0084] 図中、1015はリップレート、1016は隔壁、1017はフェースフレートであり、1015～1017により表示パネルの内部を真空に維持するための気密容器を形成している。気密容器を組み立ててあつては、各部材の接合部に十分な強度と気密性を保持するため封着する必要があるが、たとえはフリットガラスを接合部に塗布し、大気中あるいは空気充満圧中で、400～500°Cで10分以上焼成することにより封着を達成した。気密容器内部を真空中に排氣する方法については後述する。また、上記気密容器の内部は10-4

Pa程度の真空中に保持されるので、大気圧や不意の衝撃などによる気密容器の破壊を防止する目的で、耐大気圧構造として、スベーサ1020が設けられている。

[0085] 次に、本発明の画像形成装置に用いることができる電子源基板について説明する。本発明の画像形成装置に用いられる電子源基板は複数の電子放出素子を基板上に配列することにより形成される。

[0086] 電子放出素子の配列の方式には、電子放出素子を並列に配置し、個々の素子の両端を接続するはしご型配置(以下、はしご型配置電子源基板と称する)や、電子放出素子の一対の素子電極をそれぞれX方向配線、Y方向配線に接続した単純マトリクス配置(以下、マトリクス型配置電子源基板と称する)が挙げられる。なお、はしご型配置電子源基板を有する画像形成装置には、電子放出素子からの電子の飛翔を制御する電極である制御電極(クリッド電極)を必要とする。

[0087] リップレート1015には、基板1011が固定されているが、該基板上には電子放出素子1011～2が $n \times m$ 個形成されている( $n, m$ は2以上の正の整数であり、目的とする表示画素数に応じて適宜設定される)。たとえば、高品位テレビジョンの表示を目的とした表示装置においては、 $n \geq 3000, m \geq 1000$ に設定することが望ましい。)。前記 $n \times m$ 個の電子放出素子は、 $m$ 本の行方向配線1013と $n$ 本の列方向配線1014により単純マトリクス配線されている。前記、1011～1014によつて構成される部分をマルチ電子ビーム群と呼ぶ。

[0088] 本発明の画像表示装置に用いるマルチ電子ビーム群は、電子放出素子を単純マトリクス配線もしくは、はしご型配置した電子源では、電子放出素子の材料や形状あるいは製法に制限はない。

[0089] したがつて、たとえば表面伝導型放出素子やFE型、あるいはMIM型などの冷陰極素子を用いることができる。

[0090] 〔0089〕次に、電子放出素子として表面伝導型放出素子(後述)を基板上に配列して単純マトリクス配線して、具体的な例を示して説明する。

[0091] 図9は、実施例に用いた表示パネルの概観図であり、内部構造を示すためにパネルの一部を切り欠いて示している。

[0092] 図中、1015はリップレート、1016は隔壁、1017はフェースフレートであり、1015～1017により表示パネルの内部を真空に維持するための気密容器を形成している。気密容器を組み立ててあつては、各部材の接合部に十分な強度と気密性を保持するため封着する必要があるが、たとえはフリットガラスを接合部に塗布し、大気中あるいは空気充満圧中で、400～500°Cで10分以上焼成することにより封着を達成した。気密容器内部を真空中に排氣する方法については後述する。また、上記気密容器の内部は10-4

Pa程度の真空中に保持されるので、大気圧や不意の衝撃などによる気密容器の破壊を防止する目的で、耐大気圧構造として、スベーサ1020が設けられている。

[0093] 本例においては、気密容器のリアプレート104に面したスベーサの当面面401及び後面側面402に低抵抗膜403を成膜した部材からなるもので、上記目的を達成するのに必要な膜だけ、かつ必要な間隔を有するものである場合には、気密容器のリアプレートとしてマルチ電子ビーム源の基板1011自体を用いてもよい。

[0094] また、フェースフレート1017の下面には、蛍光膜1018が形成されている。本例はカラーブラシ表示装置であるため、蛍光膜1018の部分にはCRTの分野で用いられる赤、緑、青の3色の蛍光体が塗分けられている。各色の蛍光体は、たとえば図12に示すようにストライプ状に塗り分けられ、蛍光体のストライプの間には黒色の導電体1010が設けてある。黒色の導電体1010を設ける目的は、電子ビームの照射位置に多少のずれがあっても表示色にずれが生じないようにして、外光の反射を防止して表示コントラストの低下を防ぐ事、電子ビームによる蛍光膜のチャージアップを防止する事などである。黒色の導電体1010には、黒鉛を主成分として用いたが、上記の目的に適するものであればこれ以外の材料を用いても良い。

[0095] また、3色の蛍光体の塗り分け方は前記図12に示したストライプ状の配列に限られるものではなく、たとえば図13に示すようなデルタ状配列や、それ以外の配列であつてもよい。

[0096] 〔0096〕なお、モックロームの表示パネルを作成する場合、単色の蛍光膜1018に用いられる黒色等電材材料を蛍光膜1018に用いなければならない。また、蛍光膜1018のリアフレート側の面には、これは黒色等電材材料必ずしも用いなくてよい。また、蛍光膜1018のリアフレート側の面には、C.R.T.の分野では公式的マルバックス1019を設けてある。マルバックス1019を設けた目的は、蛍光膜1018が発する光の一部を鏡面反射して光利⽤率を向上させる事や、負イオンの衝突から蛍光膜1018を保護する事や、電子ビーム加速電圧を印加するための電極として作用させる事や、蛍光膜1018を刷起した電子の導電路として作用させる事などである。マルバックス1019は、蛍光膜1018をフェースフレート基板1010上には、後述の図16で示すものと同様な表面伝導型放出現子が配列され、これらは行方向配線1013と列方向配線1014により単純マトリクス状に配線されている。行方向配線1014と列方向配線1013の交差する部分には、電極間に絶縁層(不露出)が形成されており、電気的な絶縁が保たれている。図10のB-B'に沿った断面を、図11に示す。

[0097] 〔0097〕なお、このような構造のマルチ電子源は、あらかじめ基板上に行方向配線1013、列方向配線1014、電極間絶縁層(不露出)、および表面伝導型放出現子の素子電極と導電性膜を形成した後、行方向配

線1013および列方向配線1014を介して各素子に給電して逆電ファーミング処理(後述)と逆電活性化処理(後述)を行うことにより製造される。

[0098] 〔0098〕本例においては、気密容器のリアフレート104の表面(行方向配線1013または列方向配線1014)に面したスベーサの当面面401及び後面側面402に低抵抗膜403を成膜した部材からなるもので、上記目的を達成するのに必要な膜だけ、かつ必要な間隔を有するものである場合には、スベーサの内側および基板1011の表面に接着材1502により固定される。

[0099] また、高抵抗膜1501は、スベーサ基板1011の表面に配置し、個々の素子の両端を接続するはしご型配置(以下、はしご型配置電子源基板と称する)や、電子放出素子の両端を接続するX方向配線、Y方向配線に接続した単純マトリクス配置(以下、マトリクス型配置電子源基板と称する)が挙げられる。なお、はしご型配置電子源基板を有する画像形成装置には、電子放出素子からの電子の飛翔を制御する電極である制御電極(クリッド電極)を必要とする。

[0100] 〔0100〕ここで説明される態様においては、スベーサ1020の形態は薄板状とし、行方向配線1013に平行に配置され、行方向配線1013に電気的に接続されている。

[0101] スベーサ1020としては、基板1011のエースフレート1017の内側(メタルバック1019等)及び基板1011の表面(行方向配線1013または列方向配線1014)に電気的に接続される。

[0102] 〔0102〕ここで説明される態様においては、スベーサ1020の形態は薄板状とし、行方向配線1013に平行に配置され、行方向配線1013に電気的に接続されている。

[0103] スベーサ1020としては、基板1011のエースフレート1017の内側のメタルフレート1019と、その間に印加される高電圧に耐えるだけの絶縁性を有し、かつスベーサ1020の表面への帶電を防止する程度の導電性を有する必要がある。

[0104] 〔0104〕スベーサ基板1011としては、前述のようないかがラス、Na等の不純物含有量を減少したガラス、ソーダライムガラス、アルミニウム等のセラミックス部材等が用いられる。なお、スベーサ基板1011はその熱膨張率が気密容器および基板1011を成す部材と近いものが好ましい。

[0105] 〔0105〕スベーサ1020を構成する高抵抗膜1501は、高電位側のフェースフレート1017(メタルフレート1019)には、高電位側のフェースフレート1017(メタルフレート1019等)に印加される加速電圧V<sub>a</sub>を帶電止および消電荷からその望ましい範囲に設定される。

[0106] 〔0106〕帶電止の規定から表面抵抗は $10 \Omega / \square$ 以下である。

[0107] 〔0107〕带電止膜である高抵抗膜1501の抵抗値R<sub>s</sub>で除した電流が流れされる。そこで、スベーサの抵抗値R<sub>s</sub>は帶電止および消電荷からその望ましい範囲に設定される。

[0108] 〔0108〕帶電止の規定から表面抵抗は $10 \Omega / \square$ 以下である。

[0109] 〔0109〕これが好ましい。十分な帶電止効果を得るために $10 \Omega / \square$ 以下がさらに好ましい。表面抵抗の下限は、スベーサ形状とスベーサ間に印加される電圧により左右されるが、 $1.0 \Omega / \square$ 以上であることが好ましい。

[0110] 〔0110〕絶縁材料からなるスベーサ基板1011上に形成された高抵抗膜1501の厚みは $1.0 \text{ nm}$ ～ $1 \mu\text{m}$ の範囲が望ましい。材料の表面エネルギーおよび基板との密着性や基板温度によっても異なるが、一般的に $0.0 \text{ nm}$ 以下の薄層は島状に形成され、抵抗が不安定で再現性に乏しい。一方、膜厚 $t$ が $1 \mu\text{m}$ 以上では膜強度が大きくなつて膜がかけられ危険性が高まり、かつ成膜時間が長くなるため生産性が悪い。従つて、膜厚は $5 \sim 5$



向して剥けられた素子電極 1-10-2 と 1-10-3 は、導電性を有する材料によって形成されている。たとえば、N<sub>2</sub>O<sub>3</sub> や SnO<sub>2</sub> をはじめとする金属酸化物、ポリシリコンなどの半導体、などの中から適宜材料を選択して用いればよい。素子電極を形成するには、たとえば真空蒸着などの製膜技術とフォトリソグラフィー、エッチングなどのバーニング技術を組み合わせて用いれば容易に形成できるが、それ以外の方法(たとえば印刷技術)を用いて形成してもさしつかえない。

10-1-3-10 素子電極 1-10-2 と 1-10-3 の形状は、当該電子放出素子の応用目的に合わせて適宜選択される。一般的には、素子電極間隔は通常は数百 Å から数百 μm の範囲から適当な値を選んで設計されるが、なかで表示装置に応用するため正しい設計されるのが、より数 μm から数 μm の範囲である。また、素子電極の厚さについては、通常は数百 Å から数 μm の範囲から適当な値が選ばれる。

[10-1-3-1] 導電性薄膜 1-10-4 の膜厚は、以下に述べるような諸条件を考慮して適宜設定される。

[10-1-3-2] すなわち、素子電極 1-10-2 あるいは 1-10-3 と電気的に良好に接続するのに必要な条件、後述する通電フォーミングを良好に行うのに必要な条件、などである。具体的には、数 Å から數千 Å の範囲のなかで設定するが、なかでも好ましいのは 10 Å から 500 Å の間である。

[10-1-3-3] また、導電性薄膜 1-10-4 を形成するのに用いられる材料としては、たとえば、Pd、Pt、Ru、Ag、Au、Ti、In、Cu、Cr、Fe、Zn、Sn、Ta、W、Pb、などをはじめとする金属や、PdO、SnO<sub>2</sub>、In<sub>2</sub>O<sub>3</sub>、PbO、Sb<sub>2</sub>O<sub>3</sub>などをはじめとする酸化物や、HfB<sub>2</sub>、ZrB<sub>2</sub>、LaB<sub>6</sub>、CeB<sub>6</sub>、YB<sub>6</sub>、GdB<sub>4</sub>、などをはじめとする硼化物や、TiC、ZrC、HfC、TaC、SiC、WC、などをはじめとする炭化物や、Ti<sub>3</sub>N、ZrN、HfN、などをはじめとする窒化物や、Si、Ge、などをはじめとする半導体や、カーボン、などが選択され、これらの中から適宜選択される。

[10-1-3-4] 導電性薄膜 1-10-4 のシート抵抗値については、1.0 から 1.0Ω/□ の範囲に含まれるよう設定した。

[10-1-3-5] なお、導電性薄膜 1-10-4 と素子電極 1-10-2 および 1-10-3 とは、電気的に良好に接続されるのが望ましいため、互いの一部が重なりあうような構造をとっている。その重なり方は、図 1-6 の例においては、下から、基板、素子電極、導電性薄膜の順序で積層したが、場合によっては下から基板、導電性薄膜、素子電極の順序で積層してもさしつかえない。

[10-1-3-6] また、電子放出部 1-10-5 は、導電性薄膜

1.1.4 の一部に形成された亀裂状の部分であり、電的には周囲の導電性樹脂よりも高抵抗性質を有している。龟裂は、導電性樹膜 1.1.4 に対して、後述する電フォーミングの処理を行うことにより形成する。龟裂内には、数 A から数百 A の粒径の微粒子を配置する効果よりもなる薄膜で、電子放出部の位置や形状を精密に示すのは困難なため、図 1.6においては、式的に示した。

[0137] また、薄膜 1.1.3 は、炭素もしくは炭化物よりなる薄膜で、電子放出部の位置や形状を精密に示すには困難なため、図 1.6においては、近傍を被覆している。薄膜 1.1.3 は、通常電フォーミング処理後に、後述する電活性化の処理を行うことにより形成する。

[0138] 薄膜 1.1.3 は、単結晶グラファイト、結晶グラファイト、非晶質カーボンのいずれかか、もしくはその混合物であり、吸厚は 5.00A 以下とするが、3.00A 以下とするのがさらに好ましい。なお、実際薄膜 1.1.3 の位置や形状を精密に示すのは困難なため、図 1.6においては模式的に示した。

[0139] 以上、好ましい素子の基本構成を述べたが、実際例においては以下のような素子を用いた。

[0140] すなわち、基板 1.1.0 には背面ガラス用い、素子電極 1.1.0-2 と 1.1.0-3 には N<sub>x</sub> 薄膜を用いた。素子電極の厚さ d<sub>1</sub> は 1.00A、素子電極間隔 L<sub>1</sub> は 2.00 μmとした。

[0141] 等電性薄膜の主要な材料として Pd もしくて Pt を用い、その厚さは約 1.00A、幅 W<sub>1</sub> は 1.00 μmとした。

[0142] 次に、好適な平面型の表面伝導型放出素子の製造方法について説明する。

[0143] 図 1.7 の (a) ～ (d) は、表面伝導型素子の製造工程を説明するための断面図で、各部材の表記は前記図 1.6 と同一である。

[0144] 1) まず、図 1.7 (a) に示すように、基板 1.1.0 上に素子電極 1.1.0-2 および 1.1.0-3 を形成する。

[0145] 形成するにあたっては、あらかじめ基板 1.0 1 を洗剤、純水、有機溶剤を用いて十分に洗浄後、素子電極の材料を堆積させる。堆積する方法としては、たとえば、蒸着法やスputtering 法などの真空成膜技術をればよい。その後、堆積した電極材料を、フォトリソグラフィー、エッチング技術を用いてパターニングする。ここで示した一対の素子電極 (1.1.0-2 と 1.1.0-3) を形成する。

[0146] 2) 次に、同図 (b) に示すように、導電性薄膜 1.1.0-4 を形成する。

[0147] 形成するにあたっては、まず前記 (a) の基板に有機金属溶液を塗布して乾燥し、加熱熟成処理して導電性薄膜を形成した後、フォトリソグラフィー、エッチングにより所定の形状にパターニングする。

で、有機金属溶媒とは、導電性樹脂用に用いる材料で、元素とする有機金属化合物の溶液である。具体的な本実験例では主要元素として  $Pd$  を用いた。また、例では塗布方法として、ディッピング法を用いたが、それ以外のたとえばスピッナー法やスプレー法を用いよい。

10148] また、導電性樹脂の成膜方法としては、実験例で用いた有機金属溶液の塗布による方法以外だとすれば真空蒸着法やスパッタ法、あるいは化学的方法などを用いる場合もある。

[10149] 3) 次に、同図(c)に示すように、フォーミング用電源1-110から被素子電源1-102と、3)の間に適宜の電圧を印加し、通電フォーミング処理を行う。

[10150] 通電フォーミング処理とは、導電性樹脂1-104に通電を行って、その一部を適宜に破壊、もしくは変質せしめ、電子放出部1-105を形成する。

[10151] 1-105においては、薄膜に適当な形状を形成するのに好適な構造に変じた部分(すなわち電子放出部1-110)においては、薄膜に適当な強度が得られる。なお、電子放出部1-105が形成されると比較するに形成された後は系子電源1-102と1-105の間で計測される電気抵抗は大幅に増加する。

[10152] 10151) 通電方法をより詳しく述べるために、18に、フォーミング用電源1-110から印加する電圧波形の一例を示す。導電性樹脂をフォーミングする場合には、パルス状の電圧が好ましく、本実験例では同図に示したようにパリス幅T1の三角波をパルス間隔T2で連続的に印加した。その際ににたて角波パルスの波高値V<sub>p</sub>を、順次昇圧した。また、電子放出部1-110の形成状況をモニターするため、ターバルスPmを適宜の間隔で三角波パルスの間に切り替えて、その際に流れる電流を電流計1-111で計測した。

[10153] 実験例においては、たとえば10-4Pa程度の真空充満気において、たとえばパルス幅T1=「ミリ秒」、パルス間隔T2を10 [ミリ秒] とした場合V<sub>p</sub>を1パルスごとに0.1 [V] ずつ昇圧した。そして、三角波を5パルス印加するたびに1回計測して、モニターパルスPmを挿入した。フォーミング処理に悪影響を及ぼすことがないように、モニターパルスの電圧V<sub>p</sub>mは0.1 [V] に設定した。そして、電圧1-102と1-110の間の電気抵抗が1×10<sup>10</sup>Ωになった段階で、すなわちモニターパルス印加時に電流1-111で計測される電流が1×10<sup>-4</sup>A以下にならなかった段階で、フォーミング処理にかかる通電を終了した。

[0154] (4) 次に、図17の(d)に示すように、活性化用電源111-2から素子電源110-2と110-3の間に適宜の電圧を印加し、通常活性化処理を行って、電子放出特性の改善を行う。

[0155] 通常活性化処理とは、前記電圧フォーミング処理により形成された電子放出部1-10に適宜の条件で通常を行って、その近傍に炭素もしくは炭素化合物を堆積物を形成させることである。(図においては、炭素もしくは炭素化合物よりなる堆積物を堆積物1-11-3として模式的に示した。) なお、通常活性化処理を行うことにより、行う前と比較して、同じ印加電圧における放出現象を典型的には100倍以上に増加させることができること。

[0156] 具体的には、例えば10ないし100Paの範囲内の真空容器内で、電圧パルスを定期的に印加することにより、真空容器中に存在する有機化合物を起源とする炭素もしくは炭素化合物を堆積させる。堆積物1-11-3は、純結晶グラファイト、多結晶グラファイト、非晶質カーボン、のいずれかもしくはその混合物であり、膜厚は500Å以下、より厚ましくは300Å以下である。

[0157] 通常方法をより詳しく説明するために、図19の(a)に、活性化用電源111-2から印加する通常の電圧波形の一例を示す。本実施例においては、一定電圧の矩形波を定期的に印加して通常活性化処理を行つたが、具体的には、矩形波の電圧V<sub>Ac</sub>は14[V]、バルス幅T<sub>3</sub>は1[ミリ秒]、バルス間隔T<sub>4</sub>は10[ミリ秒]とした。なお、上述の通常条件では、本実施例の表面導通型放出素子に関する限りの条件であり、表面導通型放出素子の設計を変更した場合には、それに応じて条件を適宜変更するのが望ましい。

[0158] 図17の(d)に示す11-4は該表面伝導型放出素子から放出される放出電流I<sub>c</sub>を前記するためのアノード電極で、直流通電源111-5および電流計1-11-6が接続されている。(なお、基板110-1を、表示バネルの中に入み込んでから活性化処理を行う場合には、表示バネルの強光面をアノード電源111-4として用いる。)

[0159] 活性化用電源111-2から電圧を印加する間、電流計1-11-6で放出電流I<sub>c</sub>を計測して通常活性化処理の進行状況をモニターし、活性化用電源111-2の動作を制御する。電流計1-11-6で計測された放出電流I<sub>c</sub>の一例を図19(b)に示すが、活性化用電源111-2からバルス電圧を印加はじめると、時間の経過とともに放出電流I<sub>c</sub>は増加するが、やがて飽和してほとんど増加しなくなる。このように、放出現象I<sub>c</sub>がほぼ飽和した時点で活性化用電源111-2からの電圧印加を停止し、通常活性化処理を終了する。

[0160] なお、上述の通常条件は、本実施例の表面伝導型放出素子に対するものであり、表面導通型放出素子に対するものではない。

[0154] 4) 次に、図17の(d)に示すように、活性化用電源1112から素子電極1102と1103の間に適宜の電圧を印加し、通電活性化処理を行って、電子放出特性の改善を行う。

[0155] 通電活性化処理とは、前記電圧オーミング処理により形成された電子放出部1-105に適宜の条件で通電を行って、その近傍に炭素もしくは炭素化合物を堆積せしめる処理のことである。(図においては、炭素もしくは炭素化合物よりなる堆積物を部材1113として模式的に示した。) なお、通電活性化処理を行うことにより、行う前と比較して、同じ印加電圧における放電電流を典型的には100倍以上に増加させることがで

きる。

[0156] 具体的には、例えば10ないし10<sup>-3</sup>Paの範囲内の真空密閉気中で、電圧バルスを定期的に印加することにより、真空密閉気中に存在する有機化合物を起源とする炭素もしくは炭素化合物を堆積させる。堆積物1-113は、半導体グラファイト、多結晶グラファイト、非晶質カーボン、のいずれか、もしくはその混合物であり、膜厚は500Å以下、より厚ましくは300Å以下である。

[0157] 具体的には、例えは10ないし10<sup>-3</sup>Paの範囲内の真空密閉気中で、電圧バルスを定期的に印加することにより、真空密閉気中に存在する有機化合物を起源とする炭素もしくは炭素化合物を堆積させる。堆積物1-113は、半導体グラファイト、多結晶グラファイト、非晶質カーボン、のいずれか、もしくはその混合物であり、膜厚は500Å以下、より厚ましくは300Å以下である。

[0158] 19) に、活性化用電源1112から印加する電圧の電圧波形の一例を示す。本実施例においては、一定時間の矩形波を定期的に印加して通電活性化処理を行ったが、具体的には、矩形波の電圧V<sub>a</sub>cは14[V]、バルス幅T<sub>1</sub>は1[ミリ秒]、バルス間隔T<sub>4</sub>は10[ミリ秒]とした。なお、上述の通電条件は、本実施例の表面伝導型放出素子に関する既往の条件であり、表面伝導型放出素子の設計を変更した場合には、それに応じて条件を適宜変更するのが望ましい。

[0159] 図17の(d)に示す1114は該表面伝導型放出素子から放出される放電電流I<sub>c</sub>を前記するためのアノード電極で、直読高電圧電源1115および電流計1-116が接続されている。(なお、基板1101を、表示ハバネルの中に組み込んでから活性化処理を行う場合には、表示ハバネルの並光面をアノード電極1114として用いる。)

[0159] 活性化用電源1112から電圧を印加する間、電流計1-116で放出電流I<sub>c</sub>を計測して通電活性化処理の進行状況をモニターし、活性化用電源1112の動作を制御する。電流計1-116で計測された放出電流計1-116が後続されている。(なお、基板1101-12からバルス電圧を印加はじると、時間の経過とともに放出電流I<sub>c</sub>は増加するが、やがて飽和してほとんど増加しなくなる。このように、放電電流I<sub>c</sub>がほぼ飽和した時点で活性化用電源1112からの電圧印加を停止し、通電活性化処理を終了する。

[0160] なお、上述の通電条件は、本実施例の表面伝導型放出素子に対する既往の条件であり、表面伝導

型放出来子の設計を変更した場合には、それに応じて条件を適宜変更のが望ましい。  
〔0-16-1〕以上のようにして、図17 (e) に示す平面上の表面伝導型放出来子を製造した。  
〔0-16-2〕(垂直型の表面伝導型放出来子) 次に、表  
面伝導型放出来子のもうひとつの代表的な構成、すなわ  
ち垂直型の表面伝導型放出来子の構成について説明す  
る。

〔0-16-3〕図20は、垂直型の基本構成を説明するた  
めの模式的な断面図であり、図中の1-2-0-1は基板、1  
-2-0-2と1-2-0-3はネオ電極、1-2-0-6は段差形成部  
材、1-2-0-4は導電性樹脂、1-2-0-5は通電フォーミ  
ング処理により形成した電子放出部、1-2-1-3は通電活性  
化処理により形成した被膜である。

〔0-16-4〕垂直型が先に説明した平面型と異なる点  
は、ネオ電極の片方(1-2-0-2)が段差形成部材  
1-2-0-6上に設けられており、導電性樹脂1-2-0-4が段  
差形成部材1-2-0-6の側面を被覆している点にある。し  
たがって、前記図1の平面型におけるネオ電極間に隔  
離があるのに対し、垂直型では段差高さ1-2-0-3と  
1-2-0-4が段差高さ1-2-0-6の側面を被覆している。  
〔0-16-5〕次に、垂直型の表面伝導型放出来子の製作  
について説明する。図21の(a)～(f)は、製造工  
程を説明するための断面図で、各部材の表記は前記図  
1と同一である。

〔0-16-6〕(1) 図21 (a) に示すように、基  
板1-2-0-1上にネオ電極1-2-0-3を形成する。  
〔0-16-7〕(2) 次に、同図 (b) に示すように、段差  
形成部材を形成するための絶縁層を削除する。絶縁層  
は、たとえばS-I-O<sub>2</sub>のような電気的に絕縁性の材料を用  
いるもの。

〔0-16-8〕(3) 次に、同図 (c) に示すように、絶縁  
層の上にネオ電極1-2-0-2を形成する。

〔0-16-9〕(4) 次に、同図 (d) に示すように、絶縁  
層の一部を、たとえばエッチング法を用いて除去し、ネ  
オ電極1-2-0-3を露出させる。

〔0-17-0〕(5) 次に、同図 (e) に示すように、導電  
性樹脂1-2-0-4を形成する。形成するには、前記平面型  
の場合と同じく、たとえば塗布法などの成膜技術を用い  
ればよい。

〔0-17-1〕(6) 次に、前記平面型の場合と同じく、通  
電フォーミング処理を行い、電子放出部を形成する。  
(図17 (c) を用いて説明した平面型の通電フォーミ  
ング処理と同様の処理を行えばよい。)

〔0-17-2〕(7) 次に、前記平面型の場合と同じく、通  
電活性化処理を行い、電子放出部近傍に炭素もしくは炭  
素化合物を堆積させる。(図17 (d) を用いて説明し  
た平面型の通電活性化処理と同様の処理を行えよ  
い。)

〔0-17-3〕以上のようにして、図21 (f) に示す垂  
直型の表面伝導型放出来子を製造した。

〔0-17-4〕(表示装置に用いた表面伝導型放出来子の  
特性) 以上、平面型と垂直型の表面伝導型放出来子につ  
いてネオ電極と製法を説明したが、次に表示装置に用い  
たネオの特性について述べる。

〔0-17-5〕図22に、表示装置に用いたネオの、(放  
出電流I<sub>e</sub>) 对(ネオ印加電圧V<sub>f</sub>) 特性、および(ネ  
オ電流I<sub>f</sub>) 对(ネオ印加電圧V<sub>f</sub>) 特性の典型的な例  
を示す。なお、放出電流I<sub>e</sub>はネオ電極1-2-0-1に比べて著  
しく小さく、同一尺度で図示するのが困難であるうえ、  
これらの特性はネオの大きさや形状等の諸因子マーク  
を変更することにより変化するものであるため、2本の  
グラフは各々任意単位で図示した。

〔0-17-6〕表示装置に用いたネオは、放出電流I<sub>e</sub>に  
関して以下述べる3つの特性を有している。  
〔0-17-7〕(1) 第一に、ある電圧(これを閾値電圧V<sub>t</sub>  
と呼ぶ)以上の大きさの電圧をネオに印加すると急速に  
放出電流I<sub>e</sub>が増加するが、一方、閾値電圧V<sub>t</sub>未満  
の電圧では放出電流I<sub>e</sub>はほとんど検出されない。すな  
わち、放出電流I<sub>e</sub>に関して、明確な閾値電圧V<sub>t</sub>を  
持つた非線形ネオである。

〔0-17-8〕(2) 第二に、放出電流I<sub>e</sub>はネオに印加する電  
圧V<sub>f</sub>に依存して変化するため、電圧V<sub>f</sub>で放出電流I<sub>e</sub>  
の大きさを制御できる。

〔0-17-9〕(3) 第三に、ネオに印加する電圧V<sub>f</sub>に対して  
ネオから放出される電流I<sub>e</sub>の応答速度が速いため、電  
圧V<sub>f</sub>を印加する時間の長さによってネオから放出され  
る電子の電荷量を制御できる。

〔0-18-0〕以上のような特性を有するため、表面伝導  
型放出来子を表示装置に適応に用いることができた。た  
とえば多数のネオを表示画面の画素に対応して設けた表  
示装置において表示を行うことが可能である。

〔0-18-1〕(1) ネオの特性を利用して設けた表  
示装置において表示を行うことが可能である。すなわち、  
電動中の中子は所望の発光輝度に応じて閾値電圧V<sub>t</sub>  
以上の電圧を適宜印加し、非選択状態のネオを閾値  
電圧V<sub>t</sub>未満の電圧を印加する。駆動するネオを順次  
切り替えてゆくことにより、表示画面を順次走査して表  
示を行うことが可能である。

〔0-18-2〕また、第二の特性または第三の特性を利用  
することにより、発光輝度を削減することができるた  
め、階調表示を行うことが可能である。

〔0-18-3〕(2) 表示装置に用いた表面伝導型放出来子  
を基板上に配列して単純マトリクス配線したマルチ電  
子ビーム源の構造) 次に、上述の表面伝導型放出来子  
を基板上に配列して単純マトリクス配線したマルチ電

子ビーム源の構造について述べる。

〔0-18-3-1〕図10に示すのは、前記図9の表示パネル  
に用いたマルチ電子ビーム源の平面図である。基板上に  
は、前記図1-6で示したものと同様な表面伝導型放出来  
子が配列され、これらのネオは行方向配線電極1-0-0-3  
と列方向配線電極1-0-0-4により単純マトリクス状に配  
線されている。行方向配線電極1-0-0-3と列方向配線電  
極1-0-0-4の交差する部分には、電極間に絶縁層(不圖  
示)が形成されており、電気的な絶縁が保たれている。

〔0-18-3-2〕(B-B') に沿った断面を、図11に示す。  
〔0-18-4〕なお、このような構造のマルチ電子源は、  
あらかじめ基板上に行方向配線電極1-0-1-3、列方向配  
線電極1-0-1-4、電極間絶縁層(不図示)、および表面  
伝導型放出来子のネオ電極と導電性樹脂を形成した後、  
行方向配線電極1-0-1-3および列方向配線電極1-0-1-4  
を外して各ネオに給電して通電フォーミング処理と通電  
活性化処理を行うことにより製造した。

〔0-18-5〕(電動回路網および駆動方法) 図2-3  
は、NTSC方式のテレビ信号に基づいてテレビジョン  
表示を行うための駆動回路の概略構成をブロック図で示  
したものである。同図中、表示パネル1-7-0-1は前述した  
表示パネルに相当するもので、前述した様に製造され  
動作する。また、走査回路1-7-0-2は表示ラインを走査  
し、制御回路1-7-0-3は走査回路へ入力する信号等を生  
成する。ソフトレジスタ1-7-0-4は1ライン帯のデータ  
をシフトし、ラインメモリ1-7-0-5は、ソフトレジスタ  
1-7-0-4からの1ライン分のデータを走査信号発生器1  
7-0-6に入力する。同期信号分離回路1-7-0-6はNTS  
C信号から同期信号を分離する。

〔0-18-6〕以下、図2-3の各部の機能を詳しく説  
明する。

〔0-18-7〕まず表示パネル1-7-0-1は、端子D<sub>x</sub>1な  
どを介して外部の電気回路と接続されている。こ  
のうち、端子D<sub>x</sub>1ないしD<sub>xm</sub>には、表示パネル1-7  
-0-1内に設けられているマルチ電子ビーム源、すなわち  
m行n列の行列状にマトリクス配線された熱陰極ネオを  
構成する。熱陰極ネオは、端子H<sub>v</sub>を介して外部の電気回路と接続されている。こ  
のうち、端子D<sub>x</sub>1ないしD<sub>xm</sub>には、表示パネル1-7  
-0-1内に設けられているマルチ電子ビーム源、すなわち  
m行n列の行列状にマトリクス配線された熱陰極ネオを  
構成する。熱陰極ネオは、端子H<sub>v</sub>を介して外部の電気回路と接  
続されている。一方、端子D<sub>y</sub>1ないしD<sub>ym</sub>には、前記走  
査信号により選択された1行分のn個の各ネオの出力電  
圧V<sub>t</sub>を印加する。駆動するネオは、閾値電圧V<sub>t</sub>未満の電  
圧端子H<sub>v</sub>には、直通電圧V<sub>a</sub>より、たとえば5  
kVの直通電圧が供給されるが、これはマルチ電子  
ビーム源より出力される電子ビームに電光体を副起する  
のに十分なエネルギーを付与するための加速度電圧である。  
〔0-18-8〕(2) 次に、走査回路1-7-0-2について説明す  
る。同回路は、内部にm個のスイッチングネオ(図中、  
S<sub>1</sub>ないしS<sub>m</sub>)で模式的に示されている)を備えるもの  
で、各スイッチングネオは、直通電圧V<sub>a</sub>の比電圧  
もしくは0[V] (グランドレベル) のいずれか一方を

選択し、表示パネル1-7-0-1の端子D<sub>x</sub>1ないしD<sub>xm</sub>  
と電気的に接続するものである。S<sub>1</sub>ないしS<sub>m</sub>の各スイ  
ッチングネオは、制御回路1-7-0-3が送出する制御信号  
T<sub>sw</sub>に基づいて動作するものだが、実際にはたとえば  
FEETのようなスイッチングネオを組合せる事により  
容易に構成することが可能である。なお、前記直通電圧  
源V<sub>a</sub>は、図2-2に示した電子放出現象の特性に基づ  
き走査されないネオに印加される駆動電圧が過負電  
圧V<sub>t</sub>以下となるよう、一定電圧を出力するよう  
設定されている。

〔0-18-9〕また、制御回路1-7-0-3は、外部より入力  
する画像信号に基づいて適切な表示が行なわれるよう  
に各部の動作を整合する働きをもつものである。次に説  
明する同期信号分離回路1-7-0-6より送られる同期信号  
T<sub>sw</sub>に基づいて、各部に對応するT<sub>sw</sub>およびT<sub>st</sub>お  
よびT<sub>an</sub>の各制御信号を発生する。同期信号分離回路  
1-7-0-6は、外部から人力されるNTSC方式のテレビ  
信号から、同期信号成分と周波数成分を分離する為  
の回路で、良く知られているように同次波分離(フィル  
タ)回路を用いれば容易に構成できるものである。同期  
信号分離回路1-7-0-6により分離された同期信号は、良  
く知られるように垂直同期信号と水平同期信号より成る  
が、ここでは説明の便宜上、T<sub>sw</sub>信号とT<sub>st</sub>信号として図示  
した。一方、前記テレビ信号から分離された画像の同期信  
号成分を便宜上DATA信号と表すが、同期信号はソフト  
レジスタ1-7-0-4に入力される。

〔0-19-0〕ソフトレジスタ1-7-0-4は、時系列的にシ  
リアルに入力される前記DATA信号を、画像の1ライ  
ン毎にシリアル/パラレル変換するためのもので、前記  
制御回路1-7-0-3より送られる制御信号TSFTに基  
づいて動作する。すなわち、制御信号TSFTは、シ  
フトレジスタ1-7-0-4のシフトクロックであるとい  
う。シリアル/パラレル変換された画像  
データを必要時間の間だけ記憶する為の記憶装置であ  
る(電子放出現象のネオ分の駆動データに相当  
する)のデータは、1行ないし1m個の信号として  
前記シフトレジスタ1-7-0-4より出力される。

〔0-19-1〕(1) ラインメモリ1-7-0-5は、画像1ライ  
ン分(電子放出現象のネオ分の駆動データに相当  
する)のデータは、1行ないし1m個の信号として  
走査信号により選択された1行分のn個の各ネオの出力電  
圧V<sub>t</sub>を印加する。駆動するネオは、閾値電圧V<sub>t</sub>未満の電  
圧端子H<sub>v</sub>には、直通電圧V<sub>a</sub>より、たとえば5  
kVの直通電圧が供給されるが、これはマルチ電子  
ビーム源より出力される電子ビームに電光体を副起する  
のに十分なエネルギーを付与するための加速度電圧である。  
〔0-19-2〕(2) 次に、走査回路1-7-0-7について説明す  
る。走査回路1-7-0-7は、前記画像データ  
T<sub>sw</sub>により選択された1行分のn個の各ネオの出力電  
圧V<sub>t</sub>を印加する。駆動するネオは、閾値電圧V<sub>t</sub>未満の電  
圧端子H<sub>v</sub>には、直通電圧V<sub>a</sub>より、たとえば5  
kVの直通電圧が供給されるが、これはマルチ電子  
ビーム源より出力される電子ビームに電光体を副起する  
のに十分なエネルギーを付与するための加速度電圧である。  
〔0-19-3〕(3) 次に、走査回路1-7-0-2を用いて説明す  
る。走査回路1-7-0-2を用いて説明したように、本発明に  
關する表面伝導型放出来子は、放出現象の特性に基づ  
いて走査する。走査回路1-7-0-2を用いて説明す  
る。走査回路1-7-0-2を用いて説明したように、本発明に  
關する表面伝導型放出来子は、放出現象の特性に基づ  
いて走査する。

な電圧電圧  $V_{th}$  (後述する実験例の表記で略記) が用いられる。このことから、本系にバ尔斯の電圧を用いる場合、たとえば、電圧電圧  $V_{th}$  が  $8 \text{ [V]}$  のとき、電圧電圧  $V_{th}$  以下の電圧を印加されたときに電子放出が生じる。また、電圧電圧  $V_{th}$  以上の電圧に対しては、図 2-2 のグラフのように電圧の変化に応じて放出電流  $I_e$  も変化する。このことから、本系にバ尔斯の電圧を用いる場合、たとえば、表面導体型電子放出素子から電子ビームが放出される。その電圧電圧  $V_{th}$  以下の電圧を印加しても電子放出は生じないが、電圧電圧  $V_{th}$  以上の電圧を印加する場合には表面導体型電子放出素子から電子ビームが放出される。その電圧電圧  $V_{th}$  以下の電圧を印加しても電子放出は生じないが、電圧電圧  $V_{th}$  以上の電圧を印加する場合には表面導体型電子放出素子から電子ビームが放出される。その電圧電圧  $V_{th}$  以下の電圧を印加されることにより出力電子ビームの幅  $P_w$  を制御することが可能である。また、バ尔斯の電圧を変調することにより出力される電子ビームの電荷の総量を制御することができる。  
 [019-4] さて、入力信号に応じて、電子放出素子を変調する方式としては、電圧変調方式、バ尔斯幅変調方式等が採用できる。電圧変調方式を実施するに際しては、変調信号発生器 1-7-0 として、一定量の電圧バ尔斯を発生し、入力されるデータに応じて適宜バ尔斯の波高値を変調するような電圧変調方式の回路を用いることができる。また、バ尔斯幅変調方式を実施するに際しては、変調信号発生器 1-7-0 として、一定の波高値の電圧バ尔斯を発生し、入力されるデータに応じて適宜電圧バ尔斯の幅を変調するようなバ尔斯幅変調方式の回路を用いることができる。  
 [019-5] シフトレジスタ 1-7-0-4 やライムモリ 1-7-0-5 は、デジタル信号式のものでもアナログ信号式のものでも採用できる。すなわち、画像信号のシリアル/パラレル変換や記憶が所定の速度で行われればよいからである。  
 [019-6] デジタル信号式を用いる場合には、同期信号分離回路 1-7-0-6 の出力信号 DATA をデジタル信号化する必要があるが、これには同期信号分離回路 1-7-0-6 の出力部に A/D 変換器を設ければよい。これに前述してライムモリ 1-7-0-5 の出力信号がデジタル信号かアナログ信号かにより、変調信号発生器に用いられる回路が若干異なるものとなる。すなわち、デジタル信号を用いた電圧変調方式の場合、変調信号発生器 1-7-0-7 には、例えば D/A 変換回路を用い、必要に応じて増幅器などを付加する。バ尔斯幅変調方式の場合、変調信号発生器 1-7-0-7 には、例えば高速の発振器および発振器の出力する波数を計数する計数器（カウンタ）および計数器の出力値と記録メモリの出力値を比較する比較器（コンパレータ）を組み合せた回路を用いる。必要に応じて、比較器を採用でき、必要に応じてシフトレジスターの駆動電圧によるバ尔斯幅変調された変調信号を電子放出素子の駆動電圧まで電圧増幅するための增幅器を付加することもできる。  
 [019-7] アナログ信号を用いた電圧変調方式の場合、変調信号発生器 1-7-0-7 には、例えばオペアンプなどを用いた增幅回路を採用でき、必要に応じてシフトレジスターなどを付加することもできる。バ尔斯幅変調方式の回路を用いる場合、必要に応じて電圧電圧  $V_{th}$  以上の電圧に対しては、図 2-2 のグラフのように電圧の変化に応じて放出電流  $I_e$  も変化する。このことから、本系にバ尔斯の電圧を用いる場合、たとえば、電圧電圧  $V_{th}$  が  $8 \text{ [V]}$  のとき、電圧電圧  $V_{th}$  以下の電圧を印加されたときに電子放出が生じる。また、電圧電圧  $V_{th}$  以上の電圧に対しては、図 2-2 のグラフのように電圧の変化に応じて放出電流  $I_e$  も変化する。このことから、本系にバ尔斯の電圧を用いる場合、たとえば、表面導体型電子放出素子から電子ビームが放出される。その電圧電圧  $V_{th}$  以下の電圧を印加されることにより出力電子ビームの幅  $P_w$  を制御することができる。また、バ尔斯の電圧を変調することにより出力される電子ビームの電荷の総量を制御することができる。

わの電 x る【 画ド 2 端 1 述源特画と 0 【 リ構の

電圧を印  
2～D  
ように  
0 2 0  
電圧を印  
電極、  
D 0  
子、1  
、G 2  
のよう  
基板で  
号は向  
像形成  
フェー  
を備え  
0 2 0  
クス配  
造上必  
間にレ

な電磁電圧  $V_t h$  (後子では  $8 [V]$  ) がちがい  $t h$  以上の電圧に対し、庄の変化に応じて放出される電子子。本電子子にハニーラスから、バ尔斯の逆偏圧  $V_{rr}$  の以下の範囲電圧  $V_t h$  以下の範囲で、開磁電圧  $V_t h$  以外のが、開磁電圧  $V_t h$  と表面伝導型放電素子から、バ尔斯の逆偏圧  $V_{rr}$  の逆偏圧  $V_{rr}$  の強度を制御する。バ尔斯の端子  $P_w$  を変化させ、バームの電荷の結果を制御する。 $t h$  (1949) 従つて、ノードを変調する方式として、ノード方程式等が採用できる。これは、変調信号発生器 1 ルスを発生し、入力され波高値を変調するよう働きかどができる。また、バ尔斯は、変調信号発生器 1 ルスを発生し、ノード電圧バ尔斯の幅を変調する。庄バ尔斯の幅を変調することができる。10.19.5) シントレシタ、デジタル信号もでのでも採用できる。パラレル変換や記憶が行なわれる。

ジスター1704やラインメモリ16式のものでもアナログ信号式のものでは、電圧電圧V<sub>th</sub>以上の電圧を出力する。周波数電圧V<sub>th</sub>以上の電圧を出力が生じる。また、周波数電圧V<sub>th</sub>以上も変換する。このことから電圧を印加する場合、たとえ電圧を印加しても電子放出は生じない。以上の電圧を印加する場合には電子ビームが放出される。その電圧を変化させることにより出力電圧を変化させることができある。また、パラメータを変化させることにより出力される電子ビームの強度を調節することができる。

可器電子 加工業、0 台に於く。

[02] 017c  
いる。子から見て、  
ので、ライザップ  
に対応する。ダ  
るもの。通過口  
放出蓋端子1  
ている。

[02] 次駆動  
画像1:1  
り、各部  
ライジング  
[02] 表示装置等  
等の表示  
きる。  
ー」とし、  
[02] ベーザ  
より、  
抗振の  
まくほん

電子ビーム露光装置の電子光学系の構成装置

10ビュー  
電機11-20と  
は、表面伝導  
回路と電気  
的には、電子行  
同期してクリー  
同時に印加す  
の照射を抑制  
されればテレビ  
する。また例は  
としてメッシュ  
は必ずしも  
よりも。  
2 2およびグリ  
る。

図2に吐山山地の測定結果を示す。図2は、スベーサ法による測定結果である。図2(a)は、 $\text{CCP}$ 方式による測定結果である。図2(b)は、 $\text{CCP}$ 方式による測定結果である。

法による低濃度の水酸化アルミニウムで汚泥を処理して汚泥濃度を2倍以上高め、  
後、UVオーパーク基板を用いて、光合成工程を実現する。  
また、UVオーパーク基板を用いて、光合成工程を実現する。

顧名思義，就是將一個字串依序存入一個陣列中。

[0219] まぎ、あらかじめ基板上に行方向配線電極

1013、列方向配線電極1014、電極間隔膜層(不

露出)、および表面伝導型放出素子の電子電極と導電性

薄膜を形成した基板1011を1013上に等間隔

にして基板1011の行方向配線1013上に等間隔

して、行方向配線1011と平行に固定した。

[0220] その後、基板1011の5mm上方に、内

面に蛍光膜1018とメタルパック1019が封入され

たフェースプレート1017を側壁1016を介して配

置し、リアプレート1015、フェースプレート101

7、側壁1016およびベース1020の各接合部を

固定した。

[0221] 基板1011とリアプレート1015の接

合部、リアプレート1015と側壁1016の接合部、

およびフェースプレート1017と側壁1016の接合

部は、プリットガラス(不図示)を設置し、大気中で4

00°C乃至500°Cで10分以上焼成することで封着し

た。また、スペーサー1020は、基板1011側では行

方向配線1013(線幅3.0μm)上に、フェースプ

レート1017側ではメタルパック1019面上に、導

電性のフィラーあるいは金屬等の導電材を混合した導電

性プリットガラス(不図示)を介して配置し、上記容器

の封着と同時に、大気中で400°C乃至500°Cで10分以上焼成することで、接着しなかつて電気的接続も

行った。

[0222] なお、本実施例においては、蛍光膜101

8は、図14に示すように、各色蛍光体1401が列方

向(Y方向)に延びるストライプ形状を採用し、黒色の

電極体1010は各色蛍光体(R、G、B)1401側

だけでなくY方向の各画素間をも分離するよう配置さ

れた蛍光膜が用いられ、スペーサー1020は、行方向

(X方向)に平行な黒色の導電体1010の領域(線幅

3.0μm)内にメタルパック1019を介して配置さ

れた。

[0223] なお、前述の封着を行う際には、各色蛍光

体1401と基板1011上に配置された各電子放出素

子1012と対応させていけないため、リアプレ

ート1015、フェースプレート1017およびスペー

サ-1020は十分な位置合わせを行った。

[0224] 以上のようにして完成した気密容器内を排気管(不図示)を通じ真空ポンプにて排氣し、十分な真空度に達した後、容器外端子Dx1-DxmとDy1-DyNを通じ、行方向配線電極1013および列方向配線電極1014を介して各素子に給電して前述の通電オーディング処理と通電活性化処理を行うことによりマルチ電子ビーム露を製造した。次に、1.0×P<sub>a</sub>程度の真空中で、不図示の排気管をガスバーナーで熱することで溶着し充電器(気密容器)の封止を行った。最後に、封止後の真空中で維持するために、ゲッター処理を行つ

た。

[0225] 以上のように完成した、図9および図15に示されるような表示パネルを用いた画像表示装置において、各冷蔵庫素子(表面伝導型放出素子)1012には、容器外端子Dx1～Dxm、Dy1～Dynを通じ、走査信号及び変調信号を不図示の信号発生手段によりそれぞれ印加することにより電子を放出させ、メタルパック1019には、高圧端子Hvを通じて高圧を印加することにより放出電子ビームを加速し、蛍光膜1018に電子を衝突させ、各色蛍光体1401(図14のR、G、B)を起動・発光させることで画像を表示した。なお、高压端子Hvへの印加電圧V<sub>f</sub>は3[kV]～1.2

[kV]の範囲で徐々に放電が発生する限界電圧まで印

加し、各配線1013、1014間に他の印加電圧V<sub>f</sub>は

良好であった。さらに、スペーサーAに近い位置にある冷

陰極素子1012からの放出電子による発光スポットも

含め、2次元状に等間隔の発光スポット列が形成され、良好と判断した。

[0226] このとき、スペーサーA近傍では、耐電圧は

良好であった。さらに、スペーサーCに近い位置にある冷

陰極素子1012からの放出電子による発光スポットも

含め、2次元状に等間隔の発光スポット列が形成され、良好と判断した。

[0227] なお本実施例では、スペーサーAの低抵抗膜

形成に、液滴を付与する吐出法を用いたことにより、ス

ペーサ基板の接合部並びに引違のバーン形成を

良好であった。さらに、スペーサーAに近い位置にある冷

陰極素子1012からの放出電子による発光スポットも

含め、2次元状に等間隔の発光スポット列が形成され、良好と判断した。

[0228] なお、本実施例においては、蛍光膜101

8は、図14に示すように、各色蛍光体1401が列方

向(Y方向)に延びるストライプ形状を採用し、黒色の

電極体1010は各色蛍光体(R、G、B)1401側

だけなくY方向の各画素間をも分離するよう配置さ

れた蛍光膜が用いられ、スペーサー1020は、行方向

(X方向)に平行な黒色の導電体1010の領域(線幅

3.0μm)内にメタルパック1019を介して配置さ

れた。

[0229] なお、前述の封着を行う際には、各色蛍光

体1401と基板1011上に配置された各電子放出素

子1012と対応させていけないため、リアプレ

ート1015、フェースプレート1017およびスペー

サ-1020は十分な位置合わせを行った。

[0230] 以上のようにして完成した気密容器内を排気管(不図示)を通じて充電器(気密容器)の封止と同様にして、電子放出素子を組み込んだりアプレート等とともに電子線放出装置(図9)を作成し、実施例1と同条件で、高圧印加および素子駆動を行った。

[0231] なお、スペーサーBに近い位置にある冷陰極素

子を組み込んだりアプレート等とともに電子線放出装

置(図9)を作成し、実施例1と同条件で、高圧印加およ

び素子駆動を行った。

[0232] なお、スペーサーCに近い位置にある冷陰極素

子を組み込んだりアプレート等とともに電子線放出装

置(図9)を作成し、実施例1と同条件で、高圧印加およ

び素子駆動を行った。

[0233] さらに、実施例1と同様にしてスパッタによ

る低抵抗膜を作成し、さらに実施例1と同様にしてスパッタによる低抵抗膜を作成され、鮮明で再現性のよいカラーパネルが形成された。このことは、スペーサーCの低抵抗膜部分は、光沢反射が認められた上、底面と側面の境界領域すなわちエッジ部には部分的な膜剥がれなども無く、膜の被覆性は良好であつた。

[0234] (実施例4：マルチスルワズ電方式) 実施

例1で使用したスペーサ基板1を使用し、液滴付与裝置

として、スペーサーCに近い位置にある冷陰極素

子1012からの放出電子による発光スポットも含め、

2次元状に等間隔の発光スポット列が形成され、鮮明で再現性のよいカラーパネルが形成された。このことは、スペーサーCを設置しても電子軌道に影響を及ぼすようないずれの境界の乱れは発生しなかつたことを示している。

[0235] なお本実施例では、スペーサーAの低抵抗膜

形成に、液滴を付与する吐出法を用いたことにより、ス

ペーサ基板の接合部並びに引違のバーン形成を

良好であった。さらに、スペーサーAに近い位置にある冷

陰極素子1012からの放出電子による発光スポットも

含め、2次元状に等間隔の発光スポット列が形成され、良好と判断した。

[0236] (実施例5：熱エネルギー方式) 実施例1で使用したスペーサ基板1を

用いて、液滴付与装置として圧電方式を用いたインクノズ

ルを直列に10個備えたインクジェット噴射装置を同

時に4台用いた吐出装置603(図6(c)参照)を用

いて四方から同時に噴射し、一边の塗工回数を1回にし

4回同時に形成した以外は、実施例1の作成方法と同様

にして高さ2.00μmの低抵抗膜を作成し、さらに実施

例1と同様にしてスパッタによる高抵抗膜を作成した。

[0237] さらに、実施例1と同様にしてスパッタによ

る低抵抗膜を作成し、さらに実施例1と同様にしてスパッタによる低抵抗膜を作成され、鮮明で再現性のよいカラーパネルが形成された。このことは、スペーサーEを設置しても電子軌道に影響を及ぼすようないずれの境界の乱れは発生しなかつたことを示している。

[0238] (実施例6：熱エネルギー方式) 実施例1で使用したスペーサ基板1を

用いて、液滴付与装置として熱エネルギー方式(熱エネルギー方式)を用いたインクジェット噴射装置601(図6(b)参照)を用いた以外、各邊に対する塗工回数を1回にした以外

は、実施例1の作成方法と同様にして高さ2.00μmの低抵抗膜を作成し、さらに実施例1と同様にしてスパッタによる低抵抗膜を作成され、鮮明で再現性のよいカラーパネルが形成された。このことは、スペーサーFを設置しても電子軌道に影響を及ぼすようないずれの境界の乱れは発生しなかつたことを示している。

[0239] (実施例7：熱エネルギー方式) 実施例1で使用したスペーサ基板1を

用いて、液滴付与装置として熱エネルギー方式(熱エネルギー方式)を用いたインクジェット噴射装置601(図6(b)参照)を用いた以外、各邊に対する塗工回数を1回にした以外

は、実施例1の作成方法と同様にして高さ2.00μmの低抵抗膜を作成し、さらに実施例1と同様にしてスパッタによる低抵抗膜を作成され、鮮明で再現性のよいカラーパネルが形成された。このことは、スペーサーGを設置しても電子軌道に影響を及ぼすようないずれの境界の乱れは発生しなかつたことを示している。

[0240] (実施例8：熱エネルギー方式) 実施例1で使用したスペーサ基板1を

用いて、液滴付与装置として熱エネルギー方式(熱エネルギー方式)を用いたインクジェット噴射装置601(図6(b)参照)を用いた以外、各邊に対する塗工回数を1回にした以外

は、実施例1の作成方法と同様にして高さ2.00μmの低抵抗膜を作成し、さらに実施例1と同様にしてスパッタによる低抵抗膜を作成され、鮮明で再現性のよいカラーパネルが形成された。このことは、スペーサーHを設置しても電子軌道に影響を及ぼすようないずれの境界の乱れは発生しなかつたことを示している。

[0241] (実施例9：熱エネルギー方式) 実施例1で使用したスペーサ基板1を

用いて、液滴付与装置として熱エネルギー方式(熱エネルギー方式)を用いたインクジェット噴射装置601(図6(b)参照)を用いた以外、各邊に対する塗工回数を1回にした以外

は、実施例1の作成方法と同様にして高さ2.00μmの低抵抗膜を作成し、さらに実施

例1と同様にしてスパッタによる高抵抗膜を作成した。

[0242] さらに、実施例1と同様にして、電子放出

素子を組み込んだりアプレート等とともに電子線放出装

置(図9)を作成し、実施例1と同条件で、高圧印加およ

び素子駆動を行った。

[0243] さらに、実施例1と同様にして、電子放出

素子を組み込んだりアプレート等とともに電子線放出装

置(図9)を作成し、実施例1と同条件で、高圧印加およ

び素子駆動を行った。

[0244] さらに、実施例1と同様にして、電子放出

素子を組み込んだりアプレート等とともに電子線放出装

置(図9)を作成し、実施例1と同条件で、高圧印加およ

び素子駆動を行った。

[0245] さらに、実施例1と同様にして、電子放出

素子を組み込んだりアプレート等とともに電子線放出装

置(図9)を作成し、実施例1と同条件で、高圧印加およ

び素子駆動を行った。

[0246] さらに、実施例1と同様にして、電子放出

素子を組み込んだりアプレート等とともに電子線放出装

置(図9)を作成し、実施例1と同条件で、高圧印加およ

び素子駆動を行った。

[0247] さらに、実施例1と同様にして、電子放出

素子を組み込んだりアプレート等とともに電子線放出装

置(図9)を作成し、実施例1と同条件で、高圧印加およ

び素子駆動を行った。

[0248] さらに、実施例1と同様にして、電子放出

素子を組み込んだりアプレート等とともに電子線放出装

置(図9)を作成し、実施例1と同条件で、高圧印加およ

び素子駆動を行った。

[0249] さらに、実施例1と同様にして、電子放出

素子を組み込んだりアプレート等とともに電子線放出装

置(図9)を作成し、実施例1と同条件で、高圧印加およ

び素子駆動を行った。

3 とした。この基板上に 3 に実施例 1 と同じ作成方法により高さ  $2.0 \mu\text{m}$  の低抵抗膜を作成し、さらに実施例 1 と同様にしてスペッタによる高抵抗膜を作成した。これをスペーサー 1 とする。このとき、得られたスペーザー 1 の低抵抗膜部分は、光沢反射が認められた上、底面と側面の境界領域すなわちエッジ部には部分的な剥離が認められ無く、膜の被覆性は良好であった。

[0250] さらにも、実施例 1 と同様にして、電子放出蒸素を組み込んだアブレート等とともに電子線放出装置（図 9）を作成し、実施例 1 と同条件で、高圧印加および蒸素遮断を行った。

[0251] このとき、スペーザー 1 近傍においても耐電圧は良好であった。さらに、スペーザー 1 に近い位置において基板の全 6 面を研磨処理にて相互に配置する冷陰極蒸素子 1-012 から放出電子による発光スポットも含め、2 次元元状に等間隔の発光スポット列が形成され、鮮明で色再現性のよいカラーピクチャ表示ができた。このことは、スペーザー 1 を設置しても電子軌道に影響を及ぼすような電界の乱れは発生しなかったことを示している。

[0252] (実施例 10：熱エネルギー方式スペーザー直角研磨) 底面と側面間の境界すなわち底面エッジを含めて基板の全 6 面を研磨処理にて相互に配置するよう研磨してソーダライムガラス基板をスペーザー基板 4 とした。この基板 4 に実施例 1 と同じ作成方法により高さ  $2.0 \mu\text{m}$  の低抵抗膜を作成し、さらに実施例 1 と同様にしてスペッタによる高抵抗膜を作成した。これをスペーザー 1 とする。このとき、得られたスペーザー 1 の低抵抗膜部分は、光沢反射が認められた上、底面と側面の境界領域すなわちエッジ部には部分的な剥離が認められ無く、膜の被覆性は一部不良であった。

[0253] さらに、実施例 1 と同様にして、電子放出蒸素を組み込んだアブレート等とともに電子線放出装置（図 9）を作成し、実施例 1 と同条件で、高圧印加および蒸素遮断を行った。

[0254] このとき、スペーザー 1 近傍においても耐電圧は良好であった。さらに、スペーザー 1 に近い位置における冷陰極蒸素子 1-012 からの放出電子による発光スポットも含め、2 次元元状に等間隔の発光スポット列が形成され、鮮明で色再現性のよいカラーピクチャ表示ができた。このことは、スペーザー 1 を設置しても電子軌道に影響を及ぼすような電界の乱れは発生しなかったことを示している。エッジの被覆率が部分的に不良であったにもかかわらず発光点の乱れが認められなかったのは、残りのほとんどの部分の低抵抗膜部分がコンタクト良好であったために、低抵抗膜上端での共通電位が保たれていたためと理解される。

[0255] (実施例 11：熱エネルギー方式スペーザーガラスファイバー) 直径  $4.0 \mu\text{m}$  高さ  $3 \text{ mm}$  のガラスファイバーの底面と側面間の境界すなわち底面エッジを

樹脂処理にてエッジからライムガラス基板をベース基板とした。この基板も5ミリの延伸軸を中心とした。これをベースKとする。これと同様にして回板させ、吐出ヘッドを固定した以外は、実施例1と同じ作成方法により高さ2.0ミクロンの低抵抗膜を作成し、さらに実施例1と同様にしてスピットによる高抵抗膜を作成した。これをベースKとする。このとき、得られたベースKの低抵抗膜部分は、光沢反射が認められた上、底面と側面の境界領域すなわちエッジ部には部分的な膜剥離がれなども無く、膜の被覆性は良好であった。

[0256] さらに、実施例1と同様にして、電子放出素子を組み込んだりアフレート等とともに電子線放出装置(図9)を作成し、実施例1と同条件で、高圧印加および電子駆動を行った。

[0257] このとき、ベースK近傍においても耐電圧は良好であった。さらに、ベースKに近い位置にある冷陰極素子1-1-2からの放出電子による発光スポットも含め、2次元状に等間隔の発光スポット列が形成され、鮮明で色再現性のよいカラービーム表示ができた。このことは、ベースKを設置しても電子軌道に影響を及ぼすような電界の乱れは発生しなかったことを示している。

[0258] (実施例1-2：熱エネルギー方式、吐出材料P-t錐体、はしご型配線電子線) 実施例1で使用したスペーサ基板B-1を使用して、墨工器用アミニ錐体1-1含有溶液(酢酸白金—モノエタノールアルミニ錐体1-14wt% (白金成分量4wt%)、イソプロピルアルコール2.0wt%、水7.7-8.1wt%、エチレンクリコール1wt%、PVA0.5wt%)を用い、焼成乾燥温度を350℃にした事以外は、実施例1と全く同じ方法で低抵抗膜を作成したベースに対する、さらに対象例1と同様にしてスピットによる高抵抗膜を作成した。これをスペーサとしている。このとき、得られたスペーサの低抵抗膜部分は、光沢反射が認められた上、底面と側面の境界領域すなわちエッジ部には部分的な膜剥離がれなども無く、膜の被覆性は良好であった。

[0259] さらに、電子顕微鏡としてははしご型配線の電子顕を用い、グリッド電極を配置した上で実施例1と同様にして、電子放出素子を組み込んだりアフレート等とともに電子線放出装置(図2-5)を作成し、実施例1と同条件で、高圧印加および電子駆動を行った。

[0260] このとき、スペーサ近傍においても耐電圧は良好であった。さらに、スペーサ上に近い位置にある冷陰極素子1-1-1からの放出電子による発光スポット列が形成され、2次元状に等間隔の発光スポット列が形成された。これをベースKとする。このことは、スペーサを設置しても電子軌道に影響を及ぼすようない乱れは発生しなかったことを示している。

サNは以下のようにして作成した。塗装工程を底面(当接面)のみに行うこと以外は、スペーサ基板G1を使用することを含めて実施例1と同一の条件で作成した。得られた低抵抗膜材スペーサNを実施例1と同様にして高抵抗膜を作成した。これをスペーサNとする。このとき得られたスペーサNの低抵抗膜部分は、光沢反射が認められた上、側面への部分的な回り込みやうねりなどまた、膜はがれも認められず、被覆性は良好であった。低抵抗膜作成後の底面(当接面、端面)断面の断面図を図30に示す。

[0262]さらに実施例1と同様にして、電子放出装置を組み込んだりアプレート等とともに電子線放出装置(国9)を作成し、実施例1と同条件下、高圧印加および素子駆動を行った。

[0263]このとき、スペーサN付近の耐電圧は良好であり、さらに、スペーサNに近い位置にある冷陰極素子1012からの放電電子による発光スポットも含め、2次元状に空間隔の発光スポットが形成され、鮮明で色再現性のよいカラー画像表示ができた。

[0264]このことは、スペーサNを設置しても電子制道に影響を及ぼさず、電界の乱れは発生しなかったことを示している。

[0265](比較例:気相法スペーサ)実施例1で使用したスペーサ基板G1を使用し、低抵抗膜として、フェースフレート、リアフレートとの接続部に接続部と平行に、高さ2.8mm幅4.2mm奥行き1.1mmの直方体ガラス製固定治具S02を図8(a)(b)のように前記の高さ3mmのスペーサ基板G1(同図801)と交互に配置して、図8(c)に示すような2.00μmの帶状に1.0nm厚のTi膜をその後2.00nm厚のPt膜(同図803)をどちらもスピッタにより気相形成した。なお、上記スピッタ成膜工程を上下底面側に2回行い図8(d)のようにして必要では、Pt膜の遮蔽浴槽を補強する下地層として必要であった。この後、さらに実施例1と同様にしてスピッタによる高抵抗膜を作成した。これをスペーサMとする。このとき、得られたスペーサMの低抵抗膜部分は、光沢反射が認められた上、底面と側面の境界領域すなわちエンジ部分には部分的な駆動がれなども無く、膜の被覆性は良好であった。

[0266]さらに、実施例1と同様にして、電子線放出装置を組み込んだりアプレート等とともに電子線放出装置(国9)を作成し、実施例1と同条件下、高圧印加および素子駆動を行った。

[0267]このとき、スペーサMにおいても耐電圧は良好であったが、一部、微少電流が確認された。なお、スペーサMに近い位置にある冷陰極素子1012からのお放電電子による発光スポットも含め、2次元状に空間隔の発光スポット列が形成され、鮮明で色再現性のよ

いカラーパンフレットができた。このことは、スペーサーは設置しても電子軌道に影響を及ぼすような電界の乱れは発生しなかったことを示している。

[0268] 以上本発明による低抵抗膜を形成した試料A～L、Nおよび比較例の試料Mについて、作成方法、電気的コンタクト、発光点変位、および陽極耐電圧について比較すると、試料A～L、Nおよび比較例の試料Mすべての試料についてそのパネル特性としての電気的コンタクト、発光点変位、耐電圧、良好であり電子放出用パネルの耐真空スペースとして適當な低抵抗膜を形成できた。

[0269] しかしながら、比較例の試料Mに比べて、本発明による試料A～L、Nは、製膜装置に高価な真空減圧装置が不要であり、材料の利用効率が高いなどの、生産プロセス上のコスト面で有利であるという利点を有している。さらには、比較例の試料Mではスパッタ製膜におけるP-T膜のガラス基板との密着性の問題から、基板との間に下地層を設けるためのプロセスが必要であるが、本発明によれば、これを省略するなどの優位性を有している。

[0270] また本発明の実施例で示した吐出形成による抵抗膜に比べて、スパッタ形成膜では電子源基板および陽極基板には電子放出装置と被覆されるに至らない程度の微少放電が発生した。これは、吐出形成した膜の膜厚分布が、周辺になるに従い薄くなるテーパー状態であるのに對して、スパッタ形成膜ではバーニングされた末端での膜エッジは直角な断面であったり、マスクからはがす段階でバーニなどの突起がスペーサ外空間に向かって発生する為に、電子線露光装置中でそれらの突起部に電離が集中しやすいためであると思われる。

[0271] なお、実施例1～10の試料による耐電圧、ビーム発光位置は、ともに他の実施例の試料と同様良好であったが、基板エッジ部に抵抗膜の被覆率が低い状態が確認されており、多量生産の際の歩留まり等を考えると、基板エッジのR処理が被覆率向上の為により好ましい形狀である事がわかる。

[0272] [発明の効果] 本願に係る発明によると、気密容器内に設けるスペーサや微小部材に好適に膜を形成することができる。

【図面の簡単な説明】

【図1】本発明の実施例のスペーサ基板の断面図である。

【図2】本発明の一実施例のスペーザの作成工程の説明図である。

【図3】本発明に好適に用いられるスペーサ基板の接合部近傍の断面形状を示す図である。

【図4】本発明によるスペーザの接合部近傍の断面形状の説明図である。

【図5】本発明の実施例のスペーザの加工に使用した加

熱延伸装置の説明図である。

【図6】本発明の実施例2、4、5で使用した溶液吐出装置の説明図である。

【図7】本発明の実施例における溶液の吐出方向と走査方向を説明するための図である。

【図8】比較例である気相形成低抵抗膜の作成工程を説明するための図である。

【図9】本発明の実施例である画像表示装置の表示パネルの一部を切り欠いて示した斜視図である。

【図10】実施例で用いたマルチ電子ビーム源の基板の一部を示す平面図である。

【図11】図10のマルチ電子ビーム源基板のB-B'断面図である。

【図12】表示パネルのフェースプレートの蛍光体配列の一例を示す図である。

【図13】表示パネルのフェースプレートの蛍光体配列の別の例を示す図である。

【図14】表示パネルのフェースプレートの蛍光体配列の別の例を示す図である。

【図15】図9の表示パネルのA-A'断面図である。

【図16】実施例で用いた平面型の表面伝導型放出来子の平面図及び断面図である。

【図17】平面型の表面伝導型放出来子の製造工程を示す断面図である。

【図18】通電フォーミング処理の際の印加電圧波形を示す図である。

【図19】通電活性化処理の際の印加電圧波形及び放電电流Ie変化を示す図である。

【図20】実施例で用いた垂直型の表面伝導型放出来子の断面図である。

【図21】垂直型の表面伝導型放出来子の製造工程を示す断面図である。

【図22】実施例で用いた表面伝導型放出来子の典型的な特性を示す図である。

【図23】本発明の実施例である表面伝導型放出来子の断面構成を示すブロック図である。

【図24】本発明の一例であるはしご型配列の電子源の模式的平面図である。

【図25】本発明の一例であるはしご型配列の電子源を持つ平面型表示装置の構造図(スペーザ不図示)である。

【図26】本発明の一例であるはしご型配列の電子源を持つ平面型表示装置の斜視図(スペーザ不図示)である。

【図27】從来知られたF-E型電子の一例を示す断面図である。

【図28】從来知られたM-M型電子の一例を示す断面図である。

【図29】從来知られた平面型画像表示装置の、表示パネルの一部を切り欠いて示した斜視図である。

【図30】本発明の実施例13によるスペーザの接合部

近傍の断面形状の説明図である。

【符号の説明】

1 0 1 スペーサ基板

1 0 2 低抵抗膜

1 0 3 带電防止膜(高抵抗膜)

2 0 0 スペーザ

2 0 1 熱エネルギー方式溶液吐出装置

4 0 1 スペーザ基板の底面部

4 0 2 スペーザ基板の側面部

4 0 3 低抵抗膜

5 0 1 大型ガラス母材ブロック(スペーザ母材)

5 0 2 薄板スペーザ

5 0 3 延伸ローラー

6 0 1 正電力式溶液吐出装置

6 0 2 マルチノズル型電力式溶液吐出装置

6 0 3 マルチノズル型電力式溶液吐出装置(複数方向吐出タイプ)

7 0 1 溶液吐出装置

7 0 2 スペーザ基板の側面部

7 0 3 スペーザ基板の底面部

8 0 1 スペーザ基板

8 0 2 気相形成基板固定治具

8 0 3 気相形成低抵抗膜

1 0 1 0 黒色導電材

1 0 1 1 電子鋼基板

1 0 1 2 電子鋼基板

1 0 1 3 行方向配線

1 0 1 4 列方向配線

1 0 1 5 リアフレート

1 0 1 6 梆体

1 0 1 7 フェースフレート

1 0 1 8 蛍光膜

1 0 1 9 メタルパック

1 0 2 0 スペーザ

1 1 0 2 、 1 1 0 3 素子電極

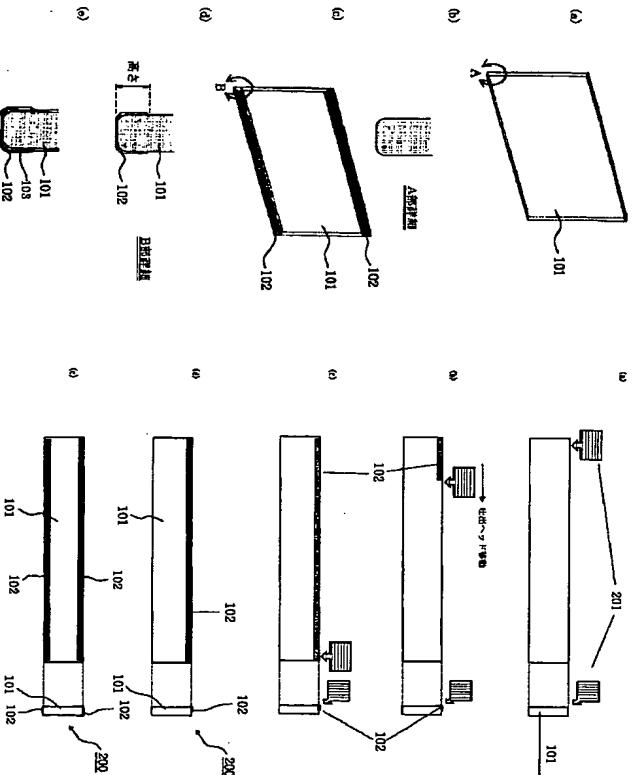
1 1 0 4 導電性薄膜

1 1 0 5 電子放出部

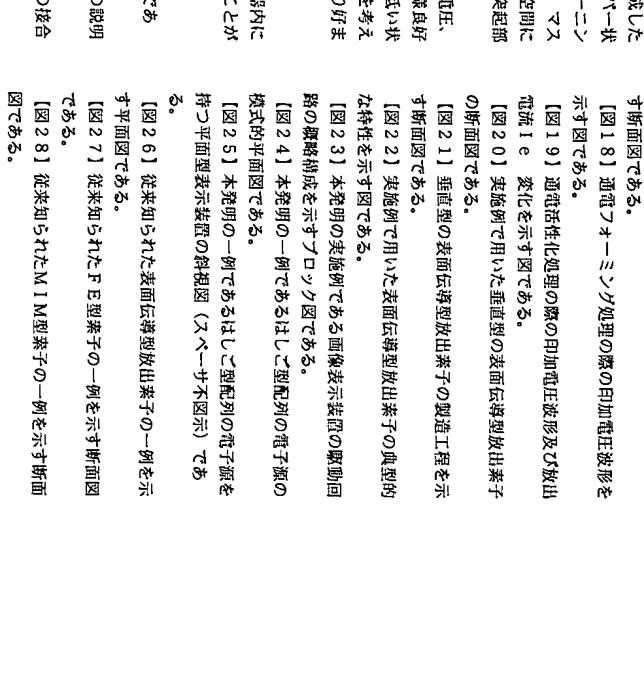
1 1 1 3 通電活性化処理により形成した薄膜

1 4 0 1 蛍光体

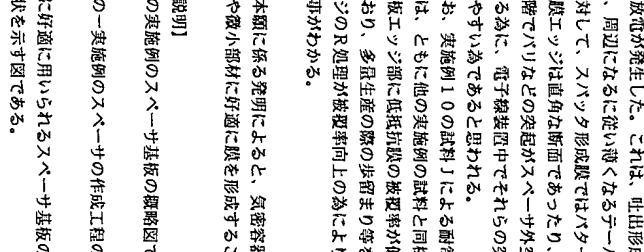
1 5 0 1 带電防止膜(高抵抗膜)



【図2】

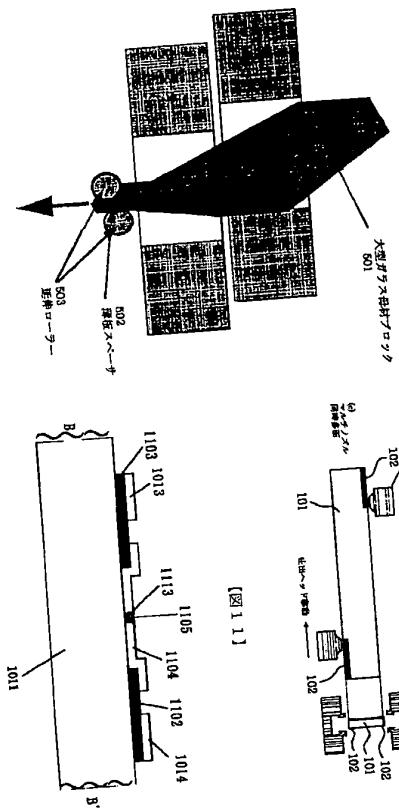


【図1】

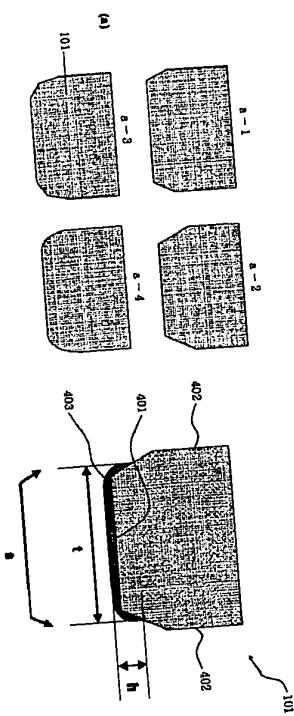
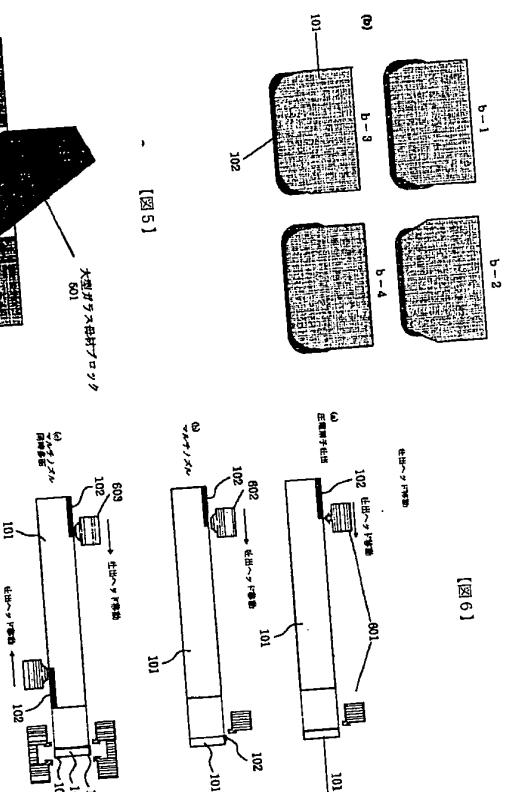


【図2】

[図 1]



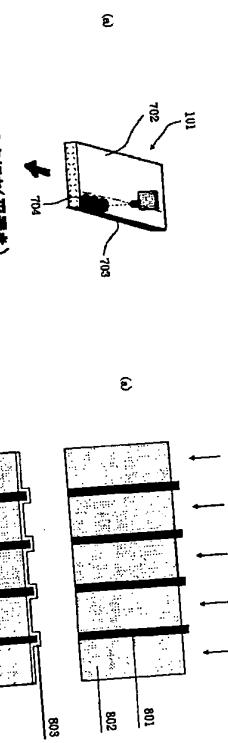
[図 5]



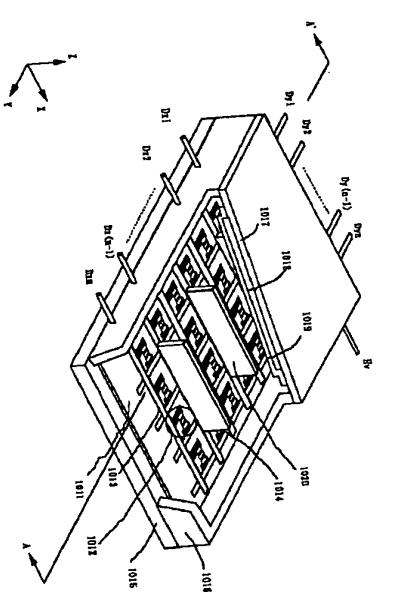
[図 6]

(28)

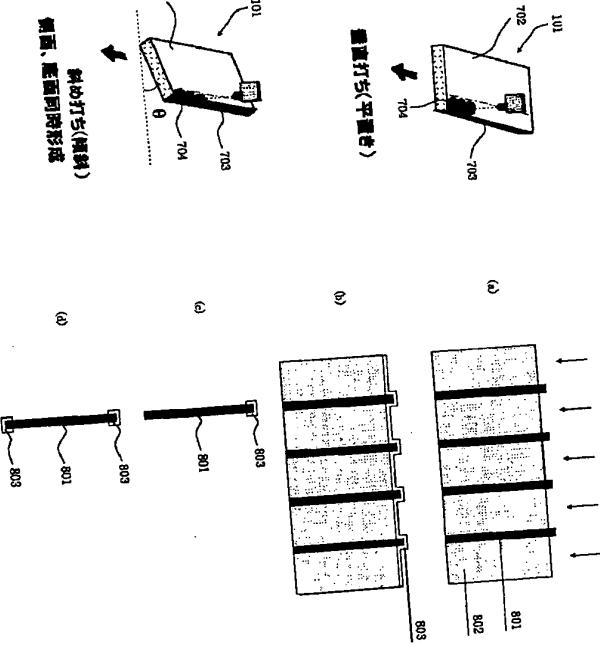
[図 7]



[図 8]



[図 9]



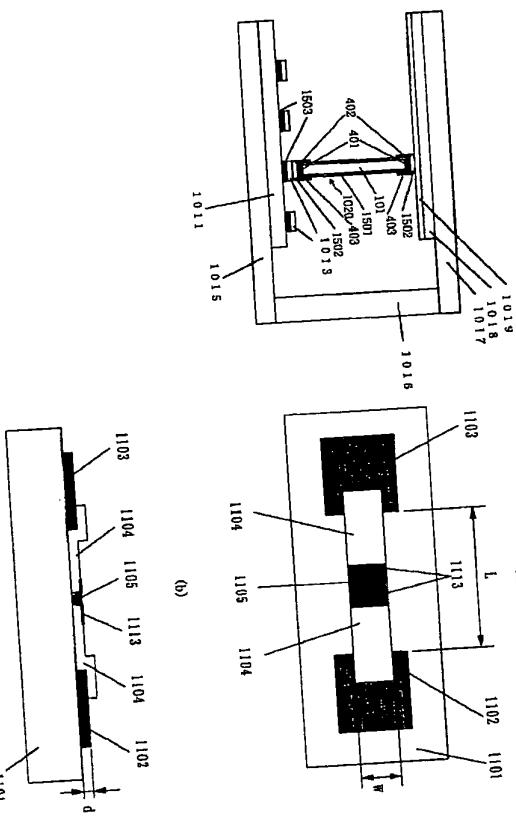
特開2000-306510

(30)

桂賀2000-306510

(29)

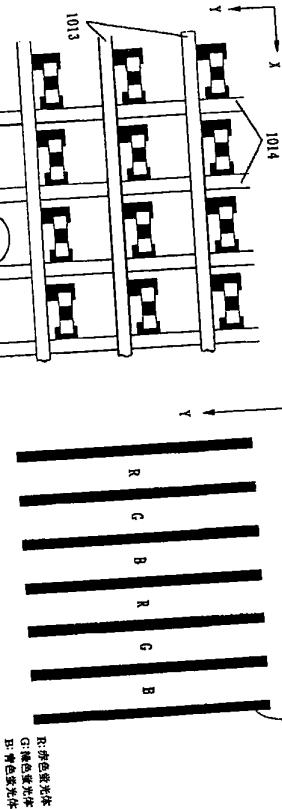
图15



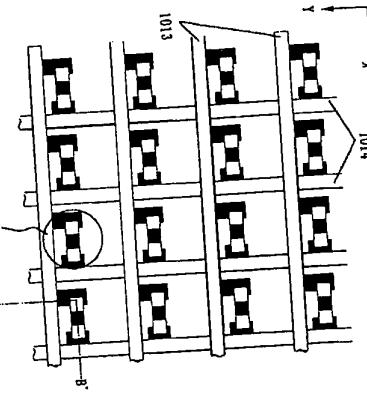
1  
2

12

(8)

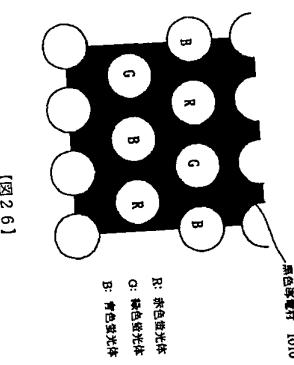


四

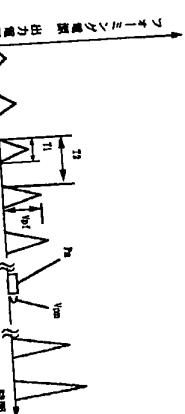


[図13]

[四  
14]

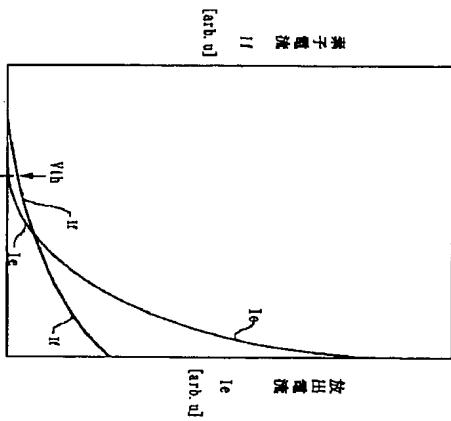
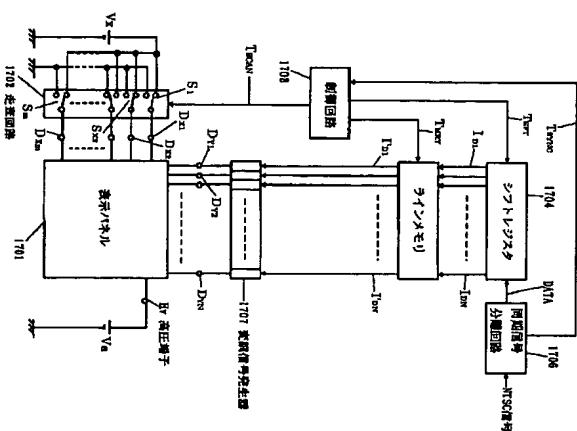


四  
20

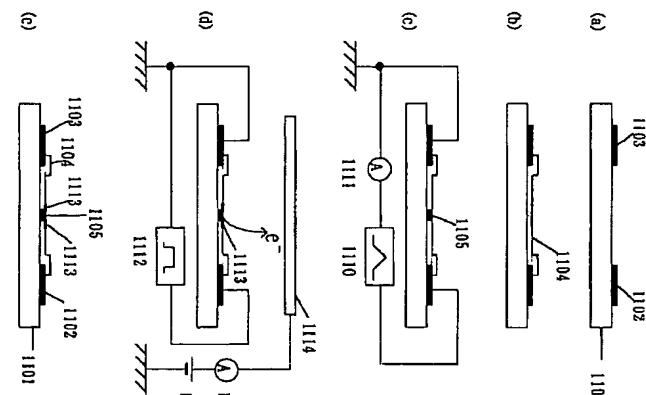


This cross-sectional diagram illustrates a semiconductor structure. It features a substrate 1201 at the bottom. A p-type region 1202 is implanted into the substrate. Above the p-type region, there is a thin n-type layer 1203. A thicker p-type region 1204 is implanted above the n-type layer 1203. The top surface of the structure is covered by a metal contact layer 1205. The diagram also shows a dimension L<sub>s</sub> indicating the width of the p-n-p-n junction.

[図1.7]

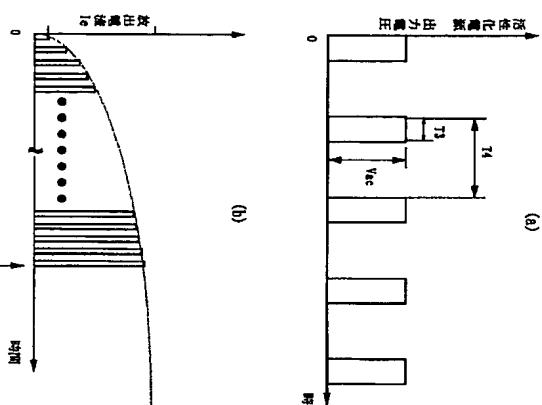
素子電圧  $V_t$ 素子電流  $I_t$ 

[図1.9]



[図1.9]

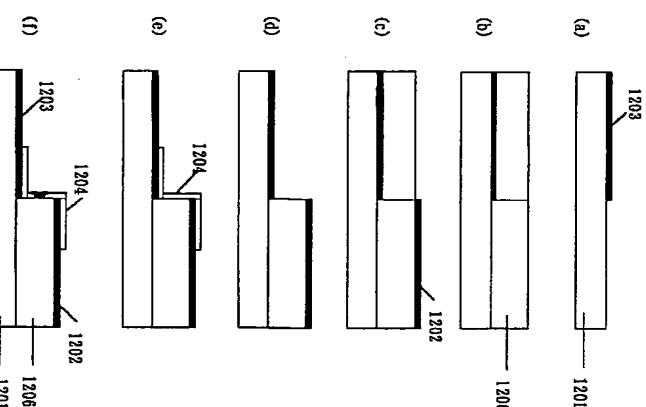
[図2.1]



(b)

[図2.3]

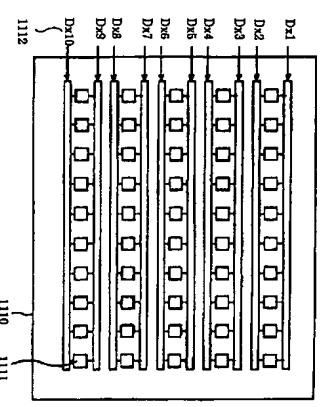
[図2.1]



(c)

[図2.3]

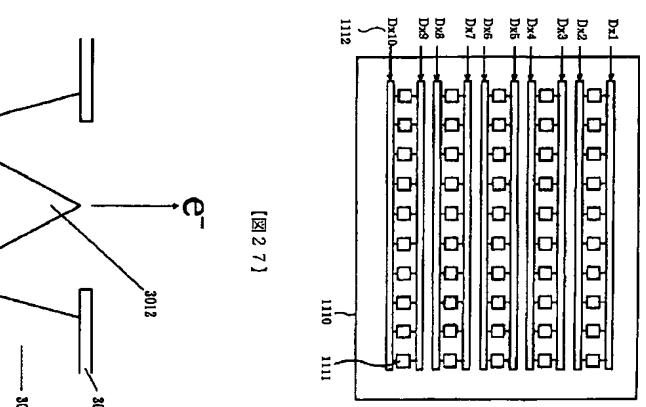
[図2.4]



(d)

[図2.3]

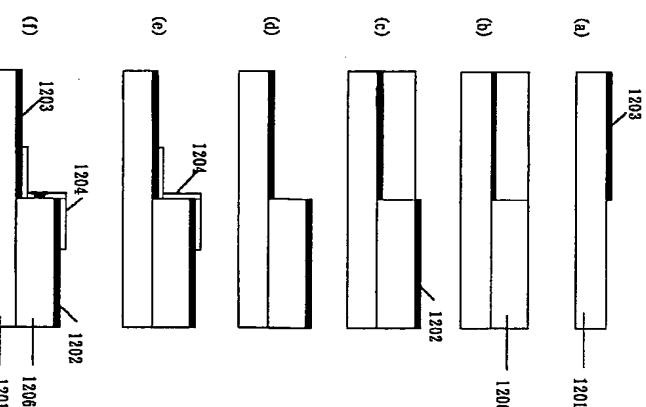
[図2.4]



(e)

[図2.3]

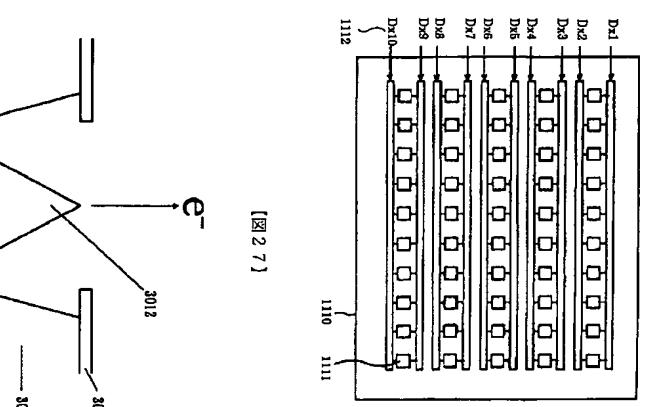
[図2.5]



(f)

[図2.3]

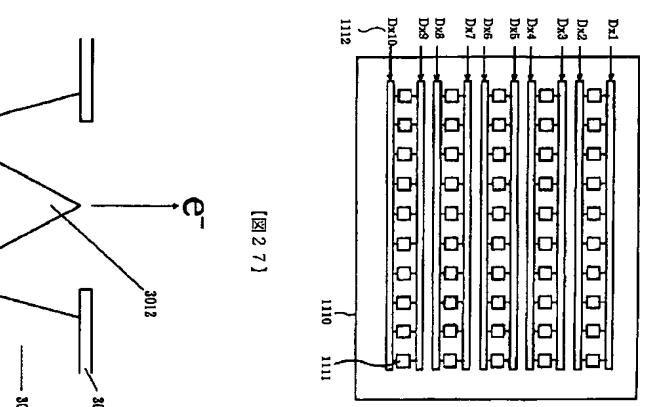
[図2.5]



(g)

[図2.3]

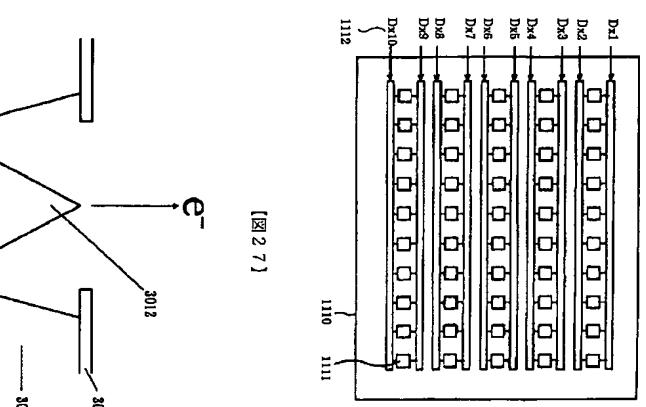
[図2.6]



(h)

[図2.3]

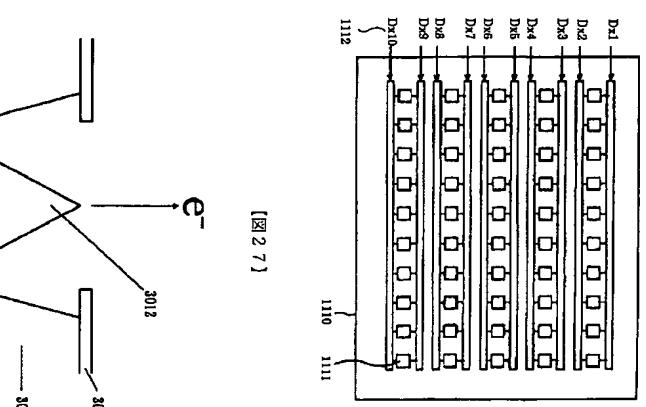
[図2.7]



(i)

[図2.3]

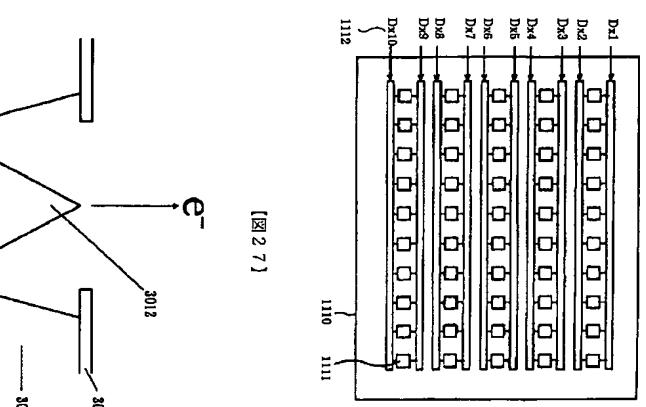
[図2.8]



(j)

[図2.3]

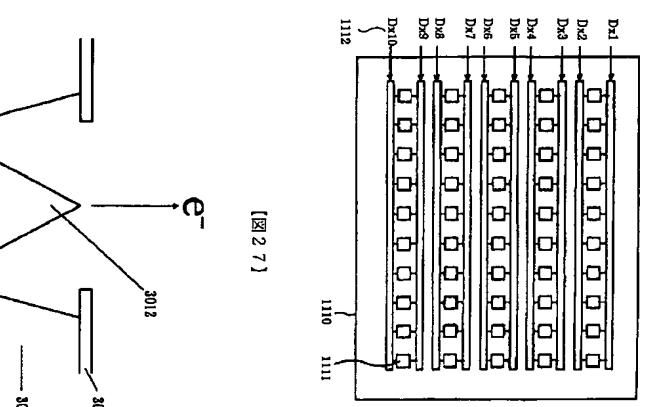
[図2.9]



(k)

[図2.3]

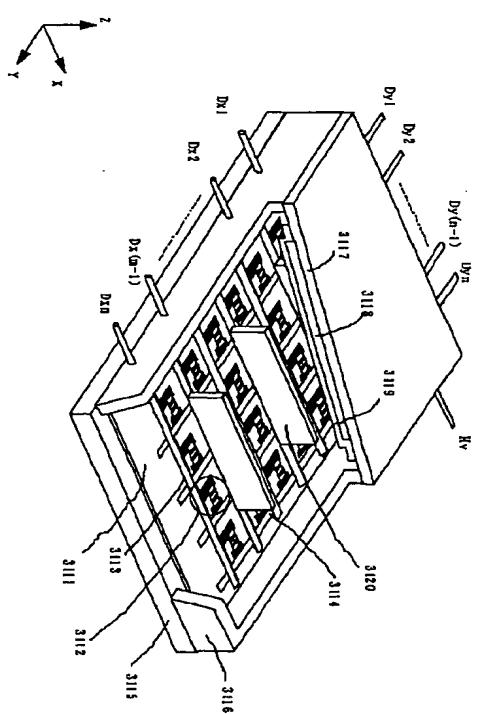
[図2.10]



(l)

[図2.3]

[図29]



[図30]

